

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Naoya SASHIDA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 28, 2003**

For: **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: August 28, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-255036, filed August 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson  
Attorney for Applicant  
Reg. No. 27,133

DWH/jaz  
Atty. Docket No. **031006**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-255036

[ ST.10/C ]:

[ JP 2002-255036 ]

出 願 人

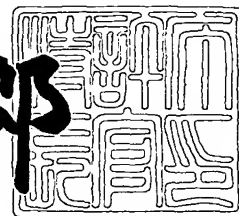
Applicant(s):

富士通株式会社

2002年12月 6日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3096406

【書類名】 特許願

【整理番号】 0240778

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8258  
H01L 27/10 451  
H01L 27/108

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 佐次田 直也

【特許出願人】  
【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】  
【識別番号】 100091672

【弁理士】  
【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】  
【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上方に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと、

前記キャパシタ及び前記第 1 絶縁膜の上方に形成された第 2 絶縁膜と、

前記キャパシタ及びその周辺の上方であって前記第 2 絶縁膜の上に形成され且つ前記第 2 絶縁膜とは逆の方向の応力を有する金属パターンとを有することを特徴とする半導体装置。

【請求項 2】 半導体基板の上方に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと、

前記キャパシタ及び前記第 1 絶縁膜の上方に形成された第 2 絶縁膜と、

前記キャパシタ及びその周辺の上方における前記第 2 絶縁膜に形成された溝と

前記溝に形成され、前記第 2 絶縁膜とは逆の方向の応力を有する金属パターンと、

を有することを特徴とする半導体装置。

【請求項 3】 前記キャパシタはセル領域に複数形成され、前記金属パターンは前記セル領域の全体を覆うことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記金属パターンは前記セル領域よりも広く形成されていることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置。

【請求項 5】 前記金属パターンの前記応力は引張応力であることを特徴とする請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置。

【請求項 6】 半導体基板の上方に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域に複数形成する工程と、

前記キャパシタ及び前記第 1 絶縁膜の上方に第 2 絶縁膜を形成する工程と、  
前記第 2 絶縁膜の上に金属膜を形成する工程と、  
前記金属膜をパターニングして前記セル領域を覆う金属パターンを形成する工程と、  
前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板の上方に第 1 絶縁膜を形成する工程と、  
前記第 1 絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域に複数形成する工程と、  
前記キャパシタ及び前記第 1 絶縁膜の上方に第 2 絶縁膜を形成する工程と、  
前記セル領域を覆う溝を前記第 2 絶縁膜に形成する工程と、  
前記溝を埋める厚さの金属膜を該溝内と前記第 2 絶縁膜上とに形成する工程と、  
前記第 2 絶縁膜上の前記金属膜を除去すると共に、該金属膜を前記溝内に残して金属パターンとする工程と、  
前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記金属膜の加熱により、前記金属膜の応力は前記第 2 絶縁膜の応力とは逆の応力に変化されることを特徴とする請求項 6 又は請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記金属膜の加熱により、前記金属膜の応力は引張応力に変化されることを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記第 2 絶縁膜は、圧縮応力を有することを特徴とする請求項 6 乃至請求項 9 のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタを有する半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ（F e R A M）が知られている。

【 0 0 0 3 】

フラッシュメモリは、絶縁ゲート型電界効果トランジスタ（I G F E T）のゲート絶縁膜中に埋め込んだフローティングゲートを有し、記憶情報となる電荷をフローティングゲートに蓄積することによって情報を記憶する。情報の書込、消去にはゲート絶縁膜にトンネル電流を流す必要があり、比較的高い電圧を必要とする。

【 0 0 0 4 】

F e R A Mは、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キャパシタを有している。強誘電体キャパシタにおいて上部電極と下部電極の間に形成される強誘電体膜は、上部電極及び下部電極の間に印加する電圧値に応じて分極を生じ、印加電圧を取り去っても分極を保持する自発分極を有する。印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極の極性、大きさを検出すれば情報を読み出すことができる。

【 0 0 0 5 】

F e R A Mは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書込ができるという利点がある。

【 0 0 0 6 】

F e R A Mのメモリセルは、例えば特開 2 0 0 1 - 6 0 6 6 9 号公報に記載されているように、シリコン基板に形成されたM O S トランジスタと、シリコン基板及びM O S トランジスタ上に形成された第 1 層間絶縁膜と、第 1 層間絶縁膜上に形成された強誘電体キャパシタと、強誘電体キャパシタ及び第 1 層間絶縁膜上に形成された第 2 層間絶縁膜と、第 1 及び第 2 層間絶縁膜に形成されたホール内に埋め込まれてM O S トランジスタに接続される導電性プラグと、導電性プラグ

と強誘電体キャパシタの上部電極を接続する第1の配線パターンと、第1の配線パターン及び第2層間絶縁膜の上に形成された第3の層間絶縁膜と、第3の層間絶縁膜上に形成された第2の配線パターンとを有している。

【0007】

【発明が解決しようとする課題】

強誘電体キャパシタを覆う層間絶縁膜は、圧縮(compressive)応力が強く、自らが膨張しようとする方向の力が働く。従って、強誘電体キャパシタの上に層間絶縁膜をさらに重ねて形成する毎に、強誘電体キャパシタには収縮力が加わることであり、強誘電体キャパシタの特性を劣化させる。

【0008】

また、第1の配線パターンをアルミニウムから形成する場合には、第1の配線パターンの引っ張り力により強誘電体キャパシタの残留分極特性が劣化する。これに対して、強誘電体キャパシタを構成する強誘電体膜のキュリー点を超える温度でアルミニウム膜を加熱して引っ張り力を緩和した後に、アルミニウム膜をパターンニングして配線パターンを形成することが、特開2001-36025号公報に記載されている。

【0009】

しかし、第1の配線パターン同士の隙間には依然として層間絶縁膜が存在するので、第1の配線パターンの応力の如何に関わらず層間絶縁膜の圧縮応力が強誘電体キャパシタを劣化するという問題は残っている。

【0010】

これに対して、強誘電体キャパシタに対して引張応力となるように層間絶縁膜を形成することが特開平11-330390号公報に記載されている。しかし、引張応力を有する層間絶縁膜は水分含有量が多く、水分により強誘電体キャパシタを劣化させてしまうという別の問題が生じてしまう。

【0011】

本発明の目的は、層間絶縁膜に覆われるキャパシタの特性を良好にすることが出来る半導体装置及びその製造方法を提供することにある。

【0012】



## 【課題を解決するための手段】

上記した課題は、半導体基板の上方に形成された第1絶縁膜と、前記第1絶縁膜上に形成され且つ下部電極、誘電体層及び上部電極を有するキャパシタと、前記キャパシタ及び前記第1絶縁膜の上方に形成された第2絶縁膜と、前記キャパシタ及びその周辺の上方であって前記第1絶縁膜の上に形成され且つ前記第2絶縁膜とは逆の方向の応力を有する金属パターンとを有することを特徴とする半導体装置によって解決する。

## 【0013】

次に、本発明の作用について説明する。

## 【0014】

本発明に係る半導体装置よれば、第2絶縁膜とは逆の方向の応力を有する金属パターンを備えるので、第2絶縁膜からキャパシタに作用する応力が金属パターンの応力によって緩和され、キャパシタの強誘電体特性が向上する。しかも、金属パターンは、絶縁膜とは異なり水分が出ることがないので、水分によってキャパシタが劣化することが無い。

## 【0015】

そのような金属パターンは、第2絶縁膜の上に形成してもよいし、或いは、第2絶縁膜に溝を設けてそこに形成してもよい。

## 【0016】

又は、上記した課題は、半導体基板の上方に第1絶縁膜を形成する工程と、前記第1絶縁膜の上に、下部電極、誘電体層及び上部電極を有するキャパシタをセル領域に複数形成する工程と、前記キャパシタ及び前記第1絶縁膜の上方に第2絶縁膜を形成する工程と、前記第2絶縁膜の上に金属膜を形成する工程と、前記金属膜をパターンニングしてセル領域を覆う金属パターンを形成する工程と、前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させることを特徴とする半導体装置の製造方法によって解決する。

## 【0017】

次に、本発明の作用について説明する。

## 【 0 0 1 8 】

本発明に係る半導体装置の製造方法によれば、金属パターンの形成の前又は後に、金属膜をその融点以下の温度に加熱することにより、該金属膜の応力を変化させるので、例えば、その金属膜の応力が第2絶縁膜の応力とは逆の応力に変化すると、第2絶縁膜の応力が金属膜によって緩和され、キャパシタの強誘電体特性が向上する。

## 【 0 0 1 9 】

## 【発明の実施の形態】

以下に本発明の実施形態を図面に基づいて説明する。

## (第1の実施の形態)

図1～図13は本発明の第1実施形態の半導体装置の製造方法を工程順に示す断面図である。図14は、図13の平面図である。

## 【 0 0 2 0 】

まず、図1に示す断面構造を形成するまでの工程を説明する。

## 【 0 0 2 1 】

図1に示すように、p型シリコン（半導体）基板1表面の一部に、LOCOS (Local Oxidation of Silicon) を素子分離絶縁膜2として形成する。素子分離絶縁膜2としてはLOCOSの他の素子分離構造、例えばSTI (Shallow Trench Isolation)を採用してもよい。

## 【 0 0 2 2 】

素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領域A、周辺回路領域Bにおける所定の活性領域にp型不純物及びn型不純物を選択的に導入して、pウェル3及びnウェル4を形成する。なお、図1には示していないが、周辺回路領域BではCMOSを形成するためにpウェルも形成される。

## 【 0 0 2 3 】

その後、シリコン基板1の活性領域表面を熱酸化して、ゲート絶縁膜5としてシリコン酸化膜を形成する。

## 【 0 0 2 4 】

次に、シリコン基板1の上側全面にアモルファスシリコン膜及びタンゲステン

シリサイド膜を形成し、これらのアモルファスシリコン膜及びタングステンシリサイド膜をフォトリソグラフィ法により所定の形状にパターンニングして、ゲート電極 6 a, 6 b, 6 c 及び配線 7 を形成する。なお、アモルファスシリコン膜の代わりにポリシリコン膜を形成してもよい。

## 【 0 0 2 5 】

メモリセル領域 A では、1 つの p ウェル 3 上には 2 つのゲート電極 6 a, 6 b がほぼ平行に配置され、それらのゲート電極 6 a, 6 b はワード線 W L の一部を構成する。

## 【 0 0 2 6 】

次に、メモリセル領域 A の p ウェル 3 において、ゲート電極 6 a, 6 b の両側に n 型不純物をイオン注入して、n チャネル MOS トランジスタのソース・ドレインとなる n 型不純物拡散領域 8 a, 8 b を形成する。これと同時に、周辺回路領域 B の p ウェル（不図示）にも n 型不純物拡散領域を形成してもよい。続いて、周辺回路領域 B の n ウェル 4 において、ゲート電極 6 c の両側に p 型不純物をイオン注入して、p チャネル MOS トランジスタのソース・ドレインとなる p 型不純物拡散領域 9 を形成する。n 型不純物と p 型不純物の打ち分けは、レジストパターンを使用して行われる。

## 【 0 0 2 7 】

その後に、シリコン基板 1 の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極 6 a, 6 b, 6 c 及び配線 7 の両側部分にのみサイドウォール 1 0 として残す。その絶縁膜として、例えば C V D 法により酸化シリコン ( $\text{SiO}_2$ ) を形成する。

## 【 0 0 2 8 】

次に、プラズマ C V D 法によりシリコン基板 1 の全面に、カバー膜として酸化シリコン ( $\text{SiON}$ ) 膜を約 2 0 0 n m の厚さに形成する。その後、T E O S ガスを用いるプラズマ C V D 法により、カバー膜の上に酸化シリコン ( $\text{SiO}_2$ ) を約 1 . 0  $\mu$  m の厚さに成長させる。これら  $\text{SiON}$  膜及び  $\text{SiO}_2$  膜により第 1 の層間絶縁膜（第 1 絶縁膜）1 1 が構成される。なお、T E O S を用いてプラズマ C V D 法により形成される  $\text{SiO}_2$  膜を、以下に T E O S 膜ともいう。

## 【 0 0 2 9 】

続いて、第 1 の層間絶縁膜 1 1 の緻密化处理として、常圧の窒素雰囲気中で第 1 の層間絶縁膜 1 1 を 7 0 0 ° C の温度で 3 0 分間熱処理する。その後、第 1 の層間絶縁膜 1 1 を化学的機械研磨 (Chemical Mechanical Polishing: 以下、CMP という) 法により研磨して第 1 の層間絶縁膜 1 1 上面を平坦化する。

## 【 0 0 3 0 】

次に、フォトリソグラフィ法により、メモリセル領域 A のゲート電極 6 a, 6 b 両側の n 型不純物拡散領域 8 a, 8 b と周辺回路領域 B の p 型不純物拡散層 9 にそれぞれ到達する深さのコンタクトホール 1 1 a ~ 1 1 d と、周辺回路領域 B の配線 7 に到達する深さのビアホール 1 1 e をそれぞれ第 1 の層間絶縁膜 1 1 に形成する。その後、第 1 の層間絶縁膜 1 1 上面とホール 1 1 a ~ 1 1 f 内面に膜厚 2 0 n m の Ti (チタン) 薄膜と膜厚 5 0 n m の TiN (窒化チタン) 薄膜をスパッタ法により順に形成する。さらに、CVD 法によりタングステン (W) を TiN 薄膜上に成長する。この結果、コンタクトホール 1 1 a ~ 1 1 d、ビアホール 1 1 e 内にタングステン膜が埋め込まれる。

## 【 0 0 3 1 】

その後、第 1 の層間絶縁膜 1 1 上面が露出するまでタングステン膜、TiN 薄膜及び Ti 薄膜を CMP 法により研磨する。この研磨後にホール 1 1 a ~ 1 7 e 内に残存するタングステン膜等は、後述の配線を不純物拡散領域 8 a, 8 b, 9 と配線 1 4 に電氣的接続するための導電性プラグ 1 3 a ~ 1 3 e として使用される。

## 【 0 0 3 2 】

メモリセル領域 A の 1 つの p ウェル 3 において、2 つのゲート電極 6 a, 6 b に挟まれる n 型不純物拡散領域 8 a 上の第 1 の導電性プラグ 1 3 a は後述するビット線に接続され、さらに、第 1 の導電性プラグの両側の第 2 の導電性プラグ 1 3 b は後述するキャパシタに接続される。

## 【 0 0 3 3 】

次に、導電性プラグ 1 3 a ~ 1 3 e の酸化を防止するために、プラズマ CVD 法により、第 1 の層間絶縁膜 1 7 上と導電性プラグ 1 3 a ~ 1 3 e 上に SiON 膜 1

4 を 1 0 0 n m の厚さに形成し、さらに、成膜ガスに T E O S を用いて  $\text{SiO}_2$  膜 1 5 を 1 5 0 n m の厚さに形成する。その後、 $\text{SiON}$  膜 1 4、 $\text{SiO}_2$  膜 1 5 は脱ガスのために 6 5 0 ~ 7 0 0 °C の温度で加熱される。

## 【 0 0 3 4 】

次に、図 2 に示す構造を形成するまでの工程を説明する。

## 【 0 0 3 5 】

まず、DC スパッタ法により  $\text{SiO}_2$  膜 1 5 上に、Ti 層と Pt 層をそれぞれ 2 0 n m と 1 7 5 n m の厚さに順に堆積させて二層構造の第 1 の導電膜 1 6 を形成する。

## 【 0 0 3 6 】

続いて、RF スパッタ法により、第 1 の導電膜 1 6 の上に強誘電体材料であるチタン酸ジルコン酸鉛 ( $\text{PZT}; \text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ) を 1 0 0 ~ 3 0 0 n m、例えば 2 0 0 n m の厚さに形成して P Z T 膜 1 7 を形成する。

## 【 0 0 3 7 】

強誘電体材料膜の形成方法としては、上記したスパッタ法の他にスピノン法、ゾルーゲル法、MOD (Metal Organi Deposition) 法、MOCVD 法がある。また、強誘電体材料としては P Z T の他に、ジルコン酸チタン酸ランタン鉛 (P L Z T)、 $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$  (但し、 $0 < x < 1$ )、 $\text{Bi}_4\text{Ti}_2\text{O}_{12}$  などがある。更に、DRAM を形成する場合には、上記の強誘電体材料に代えて  $(\text{BaSr})\text{TiO}_3$  (B S T)、チタン酸ストロンチウム (S T O) 等の高誘電体材料を使用すればよい。

## 【 0 0 3 8 】

そして、P Z T 膜 1 7 の結晶化処理として、酸素雰囲気中で温度 7 5 0 °C、6 0 秒間の条件で R T A (Rapid Thermal Annealing) を行う。

## 【 0 0 3 9 】

さらに、P Z T 膜 1 7 の上に第 2 の導電膜 1 8 として  $\text{IrO}_x$  膜を DC スパッタ法により約 2 0 0 n m の厚さに形成する。

## 【 0 0 4 0 】

次に、図 3 の構造を形成するまでの工程について説明する。

## 【 0 0 4 1 】

まず、第2の導電膜18をパターニングして上部電極18aを形成した後に、強誘電体であるPZT膜17のダメージ除去のために、例えば酸素雰囲気中で650℃、60分の条件でPZT膜17を回復アニールする。

## 【0042】

さらに、PZT膜17をパターニングして少なくとも上部電極18aの下にキャパシタの誘電体膜17aとして残した後に、酸素雰囲気中で例えば350℃、60分の条件で誘電体膜17aをアニールする。

## 【0043】

続いて、図4に示すように、上部電極18a、誘電体膜17a及び第1の導電膜16の上にスパッタにより酸化アルミニウム( $Al_2O_3$ )よりなる第1のキャパシタ保護絶縁膜19を50nmの厚さに形成する。その後に、スパッタにより受けた誘電体膜17aのダメージを緩和するために、例えば酸素雰囲気中で550℃、60分の条件で誘電体膜17aをアニールする。

## 【0044】

その後に、図5に示すように、第1の導電膜16をパターニングして下部電極16aを形成する。第1のキャパシタ保護絶縁膜19は第1の導電膜16とともにパターニングされる。

## 【0045】

これにより、上部電極18a、誘電体膜17a及び下部電極16aにより強誘電体キャパシタ20が構成される。続いて、酸素雰囲気中で650℃、30分の条件で強誘電体キャパシタ20をアニールする。

## 【0046】

次に、図6に示す構造を形成するまでの工程を説明する。

## 【0047】

まず、強誘電体キャパシタ20及び $SiO_2$ 膜15の全面に第2の層間絶縁膜21を形成する。第2の層間絶縁膜21は、最初に、TEOSを用いて形成された厚さ約480nmの絶縁膜と、その上に形成された厚さ約90nmのSOG膜の二層構造に形成される。その後に、第2の層間絶縁膜21を約300nmの厚さ分程度にエッチングバックして約270nmの厚さにされる。

## 【 0 0 4 8 】

その後、350℃の温度で $N_2O$ ガスを用いて第2の層間絶縁膜21及びその下の各種の膜に対してプラズマアニールを行う。このプラズマアニールは、プラズマ発生装置のチャンバー内にシリコン基板1を載置し、そのチャンバー内に $N_2O$ ガスを700 sccm、 $N_2$ ガスを200 sccmの流量でそれぞれ導入し、450℃以下の基板温度で1分以上の時間で第2の層間絶縁膜21及びその下の各種の膜をプラズマに曝す。これにより、第2の層間絶縁膜21の表面から深くまで窒素が入り込んで、水分の侵入が防止される。以降、この処理を $N_2O$ プラズマ処理と呼ぶ。この実施形態では、加熱温度と加熱時間として、例えば350℃、2分が選択される。

## 【 0 0 4 9 】

次に、図7に示す構造を形成するまでの工程を説明する。

## 【 0 0 5 0 】

まず、フォトリソグラフィ法により第2の層間絶縁膜21のうち強誘電体キャパシタ20の上部電極16aの上に第1のコンタクトホール21aを形成する。同時に、図に対して垂直方向に配置される下部電極16aのコンタクト領域の上にもコンタクトホール（不図示）を形成する。その後、誘電体膜17aに対して回復アニールを実施する。具体的には、酸素雰囲気中で550℃の温度で60分間加熱する。

## 【 0 0 5 1 】

次に、第2の層間絶縁膜21、 $SiO_2$ 膜15、 $SiON$ 膜14をフォトリソグラフィ法によりパターニングして、メモリセル領域Aのpウェル3の両端寄りの第2の導電性プラグ13bの上にそれぞれ第2のコンタクトホール21bを形成して第2の導電性プラグ13bを露出させる。そして、第2の層間絶縁膜21上とコンタクトホール21a、21b内に、膜厚125 nmのTiN膜をスパッタ法により形成する。続いて、そのTiN膜をフォトリソグラフィ法でパターニングすることにより、メモリセル領域Aにおいてコンタクトホール21a、21bを通して第2の導電性プラグ18bと強誘電体キャパシタ20の上部電極18aとを電気的接続するための局所配線22aを形成する。その後、第2の層間絶縁膜2

1 に対して窒素 ( $N_2$ ) 雰囲気中で 3 5 0℃、3 0 分の条件で加熱する。

【 0 0 5 2 】

さらに、局所配線 2 2 a 及び第 2 の層間絶縁膜 2 1 の上にスパッタ法により酸化アルミニウムよりなる第 2 のキャパシタ保護絶縁膜 2 3 を 2 0 n m の厚さに形成する。

【 0 0 5 3 】

続いて、局所配線 2 2 a と第 2 の層間絶縁膜 2 1 の上に、TEOS ガスを使用してプラズマ CVD 法により酸化シリコン膜を約 3 0 0 n m の厚さに形成し、この酸化シリコン膜を第 3 の層間絶縁膜 2 4 とする。その後に、 $N_2O$  プラズマ処理によって第 3 の層間絶縁膜 2 4 の改質を行う。この  $N_2O$  プラズマ処理の条件は、第 2 の層間絶縁膜 2 1 に対する  $N_2O$  プラズマ処理の条件と同じにする。

【 0 0 5 4 】

次に、図 8 に示す構造を形成するまでの工程を説明する。

【 0 0 5 5 】

まず、メモリセル領域 A における第 3 の層間絶縁膜 2 4 からその下方の SiON 膜 1 4 までをフォトリソグラフィ法によりパターニングすることにより、p ウェル 3 の中央位置の第 1 の導電性プラグ 1 3 a の上にコンタクトホール 2 4 a を形成する。それと同時に、周辺回路領域 B の各導電性プラグ 1 3 c ~ 1 3 e 上にもコンタクトホール 2 4 c ~ 2 4 e を形成する。

【 0 0 5 6 】

さらに、第 3 の層間絶縁膜 2 4 の上とコンタクトホール 2 4 c ~ 2 4 e の中に厚さ 2 0 n m の Ti 膜、厚さ 5 0 n m の TiN 膜、厚さ 6 0 0 n m の Al-Cu 膜、厚さ 5 n m の Ti 膜及び厚さ 1 5 0 n m の TiN 膜の 5 層を順次積層し、これらの金属膜をパターニングすることにより、メモリセル領域 A でビット線 2 5 a を形成するとともに、周辺回路領域 B では配線 2 5 b, 2 5 c, 2 5 d を形成する。なお、Al-Cu 膜は、例えば Cu を 0. 5 % 含有している。ビット線 2 5 a、配線 2 5 b, 2 5 c, 2 5 d は一層目のアルミニウム配線である。

【 0 0 5 7 】

次に、TEOS ガスを用いたプラズマ CVD 法により、約 2. 3  $\mu$  m の厚さの



SiO<sub>2</sub>からなる第4の層間絶縁膜（第2絶縁膜）26を第3の層間絶縁膜24、ビット線25a及び配線25b～25d上に形成する。

## 【0058】

その後、第4の層間絶縁膜26を平坦化するために、その上面をCMP法により研磨する工程を採用する。その研磨量は約1.2μmである。その後、N<sub>2</sub>Oプラズマ処理によって第4の層間絶縁膜26の改質を行う。このN<sub>2</sub>Oプラズマ処理の条件は、第2の層間絶縁膜21に対するN<sub>2</sub>Oプラズマ処理の条件と同じにする。

## 【0059】

次に、図9に示すように、TEOSを用いてプラズマCVD法により再堆積層間絶縁膜27を層間絶縁膜33の上に約300nmの厚さに形成する。続いて、N<sub>2</sub>Oプラズマ処理によって再堆積層間絶縁膜27の改質を行う。このN<sub>2</sub>Oプラズマ処理の条件は、第2の層間絶縁膜21に対するN<sub>2</sub>Oプラズマ処理の条件と同じにする。

## 【0060】

次に、図10に示す構造を形成するまでの工程を説明する。

## 【0061】

まず、再堆積層間絶縁膜27及び第4の層間絶縁膜26をフォトリソグラフィ法によりパターニングして、一層目のアルミニウム配線、例えば周辺回路領域Bの配線25cに到達するビアホール26aを形成する。

## 【0062】

続いて、ビアホール26aの内面と再堆積層間絶縁膜27の上面に、厚さ20nmのTi膜と厚さ50nmのTiN膜をスパッタリングにより順次形成し、それらの膜をグルーレイヤ29aとする。その後、WF<sub>6</sub>（六フッ化タンゲステン）ガスとSiH<sub>4</sub>（シラン）ガス及びH<sub>2</sub>（水素）を用いて370℃の成長温度でグルーレイヤ29aの上にタンゲステン膜29bを形成する。

## 【0063】

続いて、エッチバックによりタンゲステン膜29bを除去して、ビアホール26a内にもみ残存させる。このとき、グルーレイヤ29aは除去しない。ここ

で、ビアホール 2 6 a 内に残ったタングステン膜 2 9 b を導電性プラグ 2 8 c として使用する。

## 【 0 0 6 4 】

その後に、厚さ 6 0 0 n m の Al-Cu 膜 2 9 c と厚さ 1 5 0 n m の TiN 膜 2 9 d をグルーレイヤー 2 9 a 及び導電性プラグ 2 8 c 上に形成する。ここで、Al-Cu 膜 2 9 c は、Cu を 3 % 含んでいる。

## 【 0 0 6 5 】

次に、グルーレイヤー 2 9 a、Al-Cu 膜 2 9 c 及び TiN 膜 2 9 d からなる多層金属膜をパターニングすることにより、メモリセル領域 A における複数の強誘電体キャパシタ 2 0 を上方で覆う金属パターン 3 1 と、周辺回路領域 B に金属配線 3 0 を形成する。その後に、3 5 0℃に保ったサセプター上にシリコン基板 1 を固定し、2 Torr の酸素雰囲気中で 3 0 分間アニールを行った後に、酸素をカットした減圧下、例えば 1 mTorr 以下の雰囲気中で 3 5 0℃のアニールを 9 0 分間行った。

## 【 0 0 6 6 】

金属パターン 3 1 は、強誘電体キャパシタ 2 0 を十分に覆うように配置されており、その占有面積はメモリセル領域 A の広さによって変化する。ここで、セル効率を、メモリセル領域の面積  $S_1$  をチップ面積  $S_2$  で割った値の百分率 ( $S_1 / S_2 \times 100\%$ ) と定義すると、例えば、セル効率が 3 0 % ならば、金属パターン 3 1 の面積はチップ面積の 3 0 % 以上とする。

## 【 0 0 6 7 】

これによれば、常にメモリセル領域 A の全体を覆うように金属パターン 3 1 が配置されるため、金属パターン 3 1 の面積のチップ面積に対する割合は、セル効率よりも高い数値となる。このことは、後述の第 2 実施形態でも同様である。金属パターン 3 1 と金属配線 3 0 を構成する Ti 膜、TiN 膜、Al-Cu 膜及び TiN 膜の多層金属膜ストレスは、多層金属膜の形成直後では  $1 \times 10^8 \text{ dyne/cm}^2$  の弱い引張応力 (tensile stress) を及ぼすが、真空中でアニールを加えると、 $6 \times 10^9 \text{ dyne/cm}^2 \sim 1 \times 10^9 \text{ dyne/cm}^2$  に変化し、成膜直後よりも引張方向に強いストレスとなる。そのストレスの変化が下方の強誘電体キャパシタ 2 0 に好ましい応力を

与えるので、強誘電体キャパシタ 20 の強誘電体特性が向上する。

【0068】

グルーレイヤー 29 a を構成する TiN 膜と TiN 膜 29 d は成膜当初では圧縮応力を有し、Al-Cu 膜 29 c は引張応力を有し、全体の多層金属膜としては僅かに引張応力となっている。

【0069】

なお、多層金属膜の比抵抗は、アニールにより 5～10% 上昇する。

【0070】

上記した例では、多層金属膜をパターニングして金属パターン 31 と金属配線 30 を形成した後に、多層金属膜をアニールした。しかし、多層金属膜の成膜直後に多層金属膜を上記した条件でアニールし、その後に、多層金属膜のパターニングして金属パターン 31 及び金属配線 30 を形成しても、金属パターン 31 と金属配線 30 には最終的に同じストレス効果が生じる。つまり、金属パターン 31 と金属配線 30 を構成する金属膜のストレスを阻害しなような処理がなされなければ、どの段階で多層金属膜をアニールしても同じ効果が期待できる。例えば、次の工程で形成される第 1 のカバー膜（第 3 絶縁膜）32 の形成後であってもよい。

【0071】

金属パターン 31 の電位は、固定電位であるか、あるいは電氣的に孤立した浮遊電位となる。

【0072】

次に、図 11 に示すように、TEOS ガスを用いるプラズマ CVD 法により、厚さ 100 nm の酸化シリコンよりなる第 1 のカバー膜 32 を金属パターン 31 と金属配線 30 と再堆積層間絶縁膜 27 の上に形成する。その後に、第 1 のカバー膜 32 を  $N_2O$  プラズマ処理する。その  $N_2O$  プラズマ処理の条件は、第 2 の層間絶縁膜 21 に対する  $N_2O$  プラズマ処理の条件と同じにする。

【0073】

次に、図 12 に示すように、CVD 法により厚さ 350 nm の窒化シリコンからなる第 2 のカバー膜 33 を第 1 のカバー膜 32 上に形成する。続いて、シリコ

ン基板1のチップ領域（半導体装置チップ領域）の最外周に近い領域で、第1及び第2のカバー膜32、33をフォトリソグラフィー法によりパターニングして図しない二層目のアルミニウム配線に接続されるホール（不図示）を形成する。

## 【0074】

この後に、図13に示すように、パッケージ時のクラック対策のためにポリイミド樹脂34を第2のカバー膜33の上に塗り、さらにポリイミド樹脂34にボンディング用の開口（不図示）を形成する、その後に、250℃の温度でポリイミド樹脂34をキュアする。これにより、FeRAMが完成する。

## 【0075】

なお、図13に示した半導体装置の平面構造は図14のようになる。ただし、図14において、素子分離絶縁膜2以外の絶縁膜は省略されている。

## 【0076】

上記した実施形態において、強誘電体キャパシタ20の上方に形成された再堆積層間絶縁膜27の上であってメモリセル領域Aの全体を覆う領域に引張応力の金属パターン31を形成している。これにより、圧縮応力をもつ層間絶縁膜27、26、24及びカバー膜32、33により強誘電体キャパシタ20に加わる力は、金属パターン31により緩和される。しかも、金属パターン31は、絶縁膜とは異なって水分が出ることはないので、強誘電体キャパシタ20を劣化させることはない。

## 【0077】

ところで、金属パターン31を構成する多層金属膜29a、29c、29dを酸素雰囲気中でアニールする工程を経て形成されたFeRAMの歩留まりと、そのようなアニール工程を経ないで形成されたFeRAMの歩留まりについて調査したところ、図15に示すような結果が得られた。

## 【0078】

図15において、PT1は、FeRAMの形成初期の強誘電体キャパシタの特性を測定することによって調査した初期生産量に対する歩留まりを示し、PT2は、FeRAMを200℃で4時間加熱して強誘電体キャパシタのリテンション及びインプリントの特性を測定することによる初期生産量に対する歩留まりを示

している。

【0079】

また、図15において、「 $O_2$ anneal」は、金属パターン31を構成する多層金属膜を酸素雰囲気中で加熱する工程を経て形成されたFeRAMを示し、また、「 $SiO_2$ 有り+ $O_2$ anneal」は、多層金属パターン31の上に第1のカバー膜32として厚さ80nmの $SiO_2$ 膜を形成した後に金属パターン31をアニールする工程を経て形成されたFeRAMを示し、さらに、「アニールなし」は、金属パターン31を構成する多層金属膜をアニールする工程を経ないで形成されたFeRAMを示している。

【0080】

図15によれば、金属パターン31を構成する多層金属膜をアニールする工程を経て形成されたFeRAMについて、PT1とPT2については違いはなく、FeRAMの製造直後で良好な製品は200℃で4時間加熱の後にもそのままメモリセル特性が維持できていた。

【0081】

これに対して、多層金属膜をアニールする工程を経ないで形成されたFeRAMについては、PT1の歩留まりよりもPT2の歩留まりが低下し、200℃、4時間の加熱によってFeRAMが劣化することがわかった。

【0082】

次に、図15に用いた3種類のFeRAMの完成直後の強誘電体キャパシタについて、スイッチングチャージ $Q_{sw}$ と、蓄積電荷飽和電圧 $V_{90}$ を調べたところ、図16に示すような結果が得られた。なお、蓄積電荷飽和電圧 $V_{90}$ は、蓄積電荷が飽和値の90%となる電圧値である。

【0083】

図16によれば、金属パターン31を構成する金属膜をアニールすることにより強誘電体キャパシタ特性が改善されることがわかる。

【0084】

次に、金属膜のアニールによるストレスの変動について調査した。調査試料として、シリコン基板を覆っている厚さ100nmの $SiO_2$ 膜の上に、金属膜として

厚さ 500 nm の Al-Cu 膜と厚さ 100 nm の TiN 膜を形成し、その後に金属膜をアニールしてストレスの変動を調べたところ、図 17 に示すような結果が得られた。なお、アニール条件は、2.2 Torr の雰囲気内で 350℃ の温度とし、アニール時間を 30 分、60 分、120 分とし、アニール雰囲気に導入するガスを酸素ガス、窒素ガスのいずれかとした。

## 【0085】

図 17 において、横軸はアニールされる場合の条件を示している。また、図 17 において◆はアニールされない状態を示していて横軸で示した条件でアニールされていない。

## 【0086】

図 17 によれば、酸素又は窒素が導入される減圧雰囲気において金属膜をアニールすると、アルミニウム膜を含む金属膜はアニール時間が長いほど引張応力が大きくなることがわかった。即ち、引張応力は、時間により制御できることになり、層間絶縁膜の圧縮応力の大きさに対する最適値を選択できる。

## 【0087】

ところで、上記した実施形態では、再堆積層間絶縁膜 27 の上でメモリセル領域 A の全体を覆う金属パターンを、Al-Cu 膜を含む多層金属膜から構成しているが、多層金属膜でなくてもよい。即ち、金属パターン 31 を構成する金属膜として、アルミニウム、銅、タングステン、チタン、タンタルのいずれかの膜、またはそれらのいずれかの元素との合金又は混合物の膜であってもよい。アルミニウム膜を形成する場合にはその厚さを 250 nm 以上にすることが好ましい。タングステンから金属パターン 31 を形成する例として、例えば膜 29b を導電性プラグ 28c を形成するタングステン膜 29b をメモリセル領域 A の再堆積層間絶縁膜 27 の上に選択的に残してこれを金属パターン 31 としてもよい。銅膜は、成膜初期の状態では  $-5 \times 10^{10} \text{ dyne/cm}^2$  の圧縮応力を有するが、不活性ガス雰囲気中で例えば 370℃ の温度でアニールすると、 $5 \times 10^{10} \text{ dyne/cm}^2$  の引張応力に変化する。

## 【0088】

なお、金属パターン 31 を構成する金属膜のアニールは、酸素雰囲気、酸素含

有雰囲気、不活性ガス雰囲気、不活性ガス含有雰囲気の内で行ってもよい。

【 0 0 8 9 】

また、そのアニールにおいて金属膜をその融点以上に加熱してしまうと金属膜が溶融し、金属膜が所望のストレスを生じなくなるので、アニール温度は金属膜の融点以下にする必要がある。

【 0 0 9 0 】

(第 2 の実施の形態)

本発明は、ダマシンプロセスにも適用し得る。以下、それについて説明する。図 1 8 ～ 図 3 2 は、本発明の第 2 実施形態に係る半導体装置の製造方法を工程順に示す断面図である。この例では、スタック型の FeRAM について説明するが、本実施形態はこれに限定されず、プレーナー型の FeRAM にも適用し得る。

【 0 0 9 1 】

まず、図 1 8 ( a ) に示す断面構造を形成するまでの工程を説明する。

【 0 0 9 2 】

図 1 8 ( a ) に示すように、 n 型のシリコン ( 半導体 ) 基板 5 1 のトランジスタ形成領域の周囲にフォトリソグラフィー法により素子分離用溝を形成した後に、その中に酸化シリコン (  $\text{SiO}_2$  ) を埋め込んで STI 用の素子分離絶縁膜 5 2 を形成する。なお、LOCOS 法により形成した絶縁膜を素子分離絶縁膜 5 2 として採用してもよい。

【 0 0 9 3 】

続いて、シリコン基板 5 1 の所定のトランジスタ形成領域に p 型不純物を選択的に導入して p ウエル 5 3 を形成し、さらに、シリコン基板 5 1 の p ウエル 5 3 の表面を熱酸化して、ゲート絶縁膜 5 4 となるシリコン酸化膜を形成する。

【 0 0 9 4 】

次に、シリコン基板 5 1 の上側全面に非晶質又は多結晶のシリコン膜とタンゲステンシリサイド膜を順次形成する。その後に、シリコン膜とタンゲステンシリサイド膜をフォトリソグラフィー法によりパターニングして、ゲート絶縁膜 5 4 の上にゲート電極 5 6 a 、 5 6 b として残す。なお、それらのゲート電極 5 6 a

、5 6 b はワード線 (WL) の一部を構成する。

【 0 0 9 5 】

次に、ゲート電極 5 6 a、5 6 b の両側の p ウエル 5 3 に n 型不純物、例えばリンをイオン注入してソース／ドレインとなる第 1 ～第 3 の n 型不純物拡散領域 5 5 a ～5 5 c を形成する。さらに、CVD 法により絶縁膜、例えば酸化シリコン ( $\text{SiO}_2$ ) 膜をシリコン基板 5 1 の全面に形成した後に、その絶縁膜をエッチバックしてゲート電極 5 6 a、5 6 b の両側部分に絶縁性のサイドウォール 5 7 として残す。

【 0 0 9 6 】

続いて、ゲート電極 5 6 a、5 6 b とサイドウォール 5 7 とをマスクに使用して、第 1 ～第 3 の n 型不純物拡散領域 5 5 a ～5 5 c に再び n 型不純物をイオン注入する。これにより、第 1 ～第 3 の n 型不純物拡散領域 5 5 a ～5 5 c のそれぞれに高濃度不純物領域が形成され、該第 1 ～第 3 の n 型不純物拡散領域 5 5 a ～5 5 c は LDD (Lightly Doped Drain) 構造となる。

【 0 0 9 7 】

上記の拡散領域のうち、第 1、第 3 の n 型不純物拡散領域 5 5 a、5 5 c は後述するキャパシタの下部電極に電氣的に接続され、第 2 の n 型不純物拡散領域 5 5 b は後述するビット線に電氣的に接続される。

【 0 0 9 8 】

以上の工程により、p ウエル 5 3 上にはゲート電極 5 6 a、5 6 b と n 型不純物拡散領域 5 5 a ～5 5 c を有する 2 つの n 型の MOS トランジスタ  $T_1$ 、 $T_2$  が 1 つの n 型不純物拡散領域 5 5 b を共通にして形成されたことになる。

【 0 0 9 9 】

次いで、MOS トランジスタ  $T_1$ 、 $T_2$  を覆うカバー絶縁膜 5 8 として約 200 nm の厚さの酸化窒化シリコン ( $\text{Si}_3\text{N}_4$ ) 膜をプラズマ CVD 法によりシリコン基板 5 1 の全面に形成する。その後、TEOS ガスを用いるプラズマ CVD 法により、下地絶縁膜 5 9 として厚さが 1.0  $\mu\text{m}$  程度の酸化シリコン ( $\text{SiO}_2$ ) をカバー絶縁膜 5 8 の上に形成する。

【 0 1 0 0 】



続いて、下地絶縁膜 5 9 の上面を化学機械研磨 (CMP) 法により平坦化する。その後、 $N_2$  雰囲気中、約 6 5 0 °C で下地絶縁膜 5 9 を約 3 0 分間アニールすることにより、下地絶縁膜 5 9 の緻密化と脱水処理とを行う。

## 【 0 1 0 1 】

次に、図 1 8 (b) に示す構造を得るまでの工程について説明する。

## 【 0 1 0 2 】

まず、フォトリソグラフィ法によりカバー絶縁膜 5 8 と下地絶縁膜 5 9 とをパターンニングして、第 1 ~ 第 3 の n 型不純物拡散領域 5 5 a ~ 5 5 c に至る深さのコンタクトホール 5 9 a ~ 5 9 c を形成する。

## 【 0 1 0 3 】

次いで、下地絶縁膜 5 9 の上面とコンタクトホール 5 9 a ~ 5 9 c の内面にグルー膜 6 0 として厚さ約 2 0 nm のチタン (Ti) と厚さ約 5 0 nm の窒化チタン (TiN) とをスパッタ法によりこの順に形成する。更に、六フッ化タングステン ( $WF_6$ ) を用いる CVD 法によりタングステン (W) 膜 6 1 をグルー膜 6 0 上に成長させて各コンタクトホール 5 9 a ~ 5 9 c 内を完全に埋め込む。

## 【 0 1 0 4 】

次いで、図 1 8 (c) に示すように、下地絶縁膜 5 9 を研磨ストッパー膜として使用しながら、タングステン膜 6 1 とグルー膜 6 0 とを CMP 法により選択的に研磨して下地絶縁膜 5 9 の上面上から除去する。これにより、タングステン膜 6 1 とグルー膜 6 0 とがコンタクトホール 5 9 a ~ 5 9 c 内に第 1 導電性プラグ 6 2 a、6 2 c、及び第 2 導電性プラグ 6 2 b として残されることになる。

## 【 0 1 0 5 】

次に、図 1 9 (a) に示す断面構造を得るまでの工程について説明する。

## 【 0 1 0 6 】

まず、全面に Ir 膜をスパッタ法により厚さ 2 0 0 ~ 4 0 0 nm 程度、例えば 2 5 0 nm に形成する。その後、その Ir 膜上にスパッタ法により TiN 膜 6 3 a を厚さ 2 0 0 ~ 4 0 0 nm 程度、例えば 2 0 0 nm に全面に形成し、更にその上に TEOS を使用するプラズマ CVD 法により  $SiO_2$  膜 6 3 b を厚さ 8 0 0 ~ 9 0 0 nm 程度、例えば 8 0 0 nm に全面に形成する。そして、この  $SiO_2$  膜 6 3 b 上に不図示のレジストパ

ターンを形成し、そのレジストパターンをエッチングマスクにして $\text{SiO}_2$ 膜63bとTiN膜63aとをパターニングし、それらをハードマスク63とする。

## 【0107】

その後、シリコン基板51をエッチングチャンバ（不図示）内の下部電極上に載置し、その下部電極に周波数600kHzのバイアス用の高周波電力を700W印加することにより、シリコン基板51にバイアス電圧を印加する。更に、チャンバの周囲に設けられたコイルに周波数13.56MHzの高周波電力をアンテナパワーとして800W印加し、チャンバ内にHBr、 $\text{O}_2$ 、及び $\text{C}_4\text{F}_8$ をそれぞれ10sccm、40sccm、5sccmの流量で導入して、チャンバ内の圧力を0.4Paに保持すると共に、基板温度を400℃にする。これにより、チャンバ内はIrに対するエッチング雰囲気となる。なお、エッチング雰囲気中に上記のように $\text{C}_4\text{F}_8$ を添加するのは、エッチングプロセスを安定させるためである。

## 【0108】

上記のエッチング雰囲気に対し、ハードマスク63はエッチング耐性を有するので、ハードマスク63がエッチングマスクとして機能し、その下のIr膜が選択的にエッチングされてパターニングされる。その結果、Ir膜よりなる導電性酸素バリア膜64a、64cが第1導電性プラグ62a、62c上に選択的に残されることになる。

## 【0109】

その導電性酸素バリア膜64a、64cは、酸素透過防止能力に優れているIr膜よりなるので、その下の第1導電性プラグ62a、62cが後で行われる種々の熱工程において酸化されてコンタクト不良を起こすのを防止することができる。

## 【0110】

次に、図19（b）に示す断面構造を得るまでの工程について説明する。

## 【0111】

まず、酸化防止絶縁膜65aとして $\text{SiON}$ 膜をプラズマCVD法により厚さ約100nm程度に全面に形成する。その後、TEOSを使用するプラズマCVD法により、酸化防止絶縁膜65a上に絶縁性密着膜65bとして $\text{SiO}_2$ 膜を厚さ約400nm

程度に形成する。

【 0 1 1 2 】

続いて、この絶縁性密着膜 6 5 b の上面上から CMP 法により研磨を行い、TiN 膜 6 3 a の表面上において研磨をストップさせる。これにより、図 1 9 (c) に示すように、 $\text{SiO}_2$  膜 6 3 b が除去されて TiN 膜 6 3 a の表面が露出することになる。

【 0 1 1 3 】

その後、露出した TiN 膜 6 3 a を過酸化アンモニア水溶液に曝すことにより、図 2 0 (a) に示すように、TiN 膜 6 3 a を除去する。

【 0 1 1 4 】

続いて、図 2 0 (b) に示すように、犠牲膜 6 6 としてレジストを約 1 0 0 0 nm の厚さに全面に塗布する。そのようなレジストとしては、エッチレートが酸化防止絶縁膜 6 5 a 及び絶縁性密着膜 6 5 b のエッチレートと略同じものを使用する。そのような犠牲膜 6 6 をプラズマエッチングによりエッチバックすることにより、被エッチング面が平坦なまま下に下がり、エッチバック終了後には、図 2 0 (c) に示すように、エッチバック前の犠牲膜 6 6 の平坦な上面が酸化防止絶縁膜 6 5 a 及び絶縁性密着膜 6 5 b に転写されることになる。その後、残存する酸化防止絶縁膜 6 5 a と絶縁性密着膜 6 5 b とを絶縁性酸素バリア膜 6 5 として使用する。

【 0 1 1 5 】

絶縁性酸素バリア膜 6 5 中の酸化防止絶縁膜 6 5 a は、既述のように SiON 膜よりなり、その下の第 2 導電性プラグ 6 2 b が種々の熱工程により酸化されるのを防ぐ役割を担う。

【 0 1 1 6 】

次に、図 2 1 (a) に示す断面構造を得るまでの工程について説明する。

【 0 1 1 7 】

まず、全面に Ir 膜と  $\text{IrO}_2$  膜とをこの順にスパッタ法によりそれぞれ厚さ約 2 0 0 nm、約 3 0 nm に形成し、それらを  $\text{IrO}_2/\text{Ir}$  膜 6 7 とする。この  $\text{IrO}_2/\text{Ir}$  膜 6 7 のうち、最下層の Ir 膜は、その下の第 1 導電性プラグ 6 2 a の酸化を防止し、コン

タクト特性が劣化するのを防止するように機能する。

【0118】

その後、 $\text{IrO}_2/\text{Ir}$ 膜67上にPt膜とPt膜とをこの順にスパッタ法によりそれぞれ厚さ約30nm、約50nmに形成し、それらをPt/Pt膜68とする。Pt/Pt膜68のうち、Pt膜は、その上に後で形成される強誘電体膜の配向を揃える役割を果たす。

【0119】

そして、これら $\text{IrO}_2/\text{Ir}$ 膜67とPt/Pt膜68とを下部電極用導電膜69として使用する。

【0120】

なお、下部電極用導電膜69の形成前又は後に、例えば膜剥がれ防止のために絶縁性密着膜65bをアニールしてもよい。そのアニール方法としては、例えば、アルゴン雰囲気中、750℃、60秒間のRTAが採用され得る。

【0121】

次いで、下部電極用導電膜69上に、強誘電体膜70としてPZT膜をスパッタ法により約180nmの厚さに形成する。強誘電体膜70の成膜方法としては、スパッタ法の他に、MOD法、MOCVD法、ゾル・ゲル法等がある。また、強誘電体膜70の材料としては、PZT以外に、PLCSZT、PLZTのような他のPZT系材料や、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta},\text{Nb})_2\text{O}_9$ 等のBi層状構造化合物材料、その他の金属酸化物強誘電体を採用してもよい。更に、DRAMを形成する場合には、上記の強誘電体材料に代えて $(\text{BaSr})\text{TiO}_3$  (BST)、チタン酸ストロンチウム(STO)等の高誘電体材料を使用すればよい。

【0122】

次いで、酸素含有雰囲気中で強誘電体膜70をアニールにより結晶化する。そのアニールとして、例えばArと $\text{O}_2$ の混合ガス雰囲気中で基板温度600℃、時間90秒の条件を第1ステップ、酸素雰囲気中で基板温度750℃、時間60秒の条件を第2ステップとする2ステップのRTA処理を採用する。

【0123】

続いて、強誘電体膜70の上に、上部電極用導電膜71として例えば厚さが2

0 0 nmの $\text{IrO}_2$ 膜をスパッタ法により形成する。その後、この上部電極用導電膜 7 1 の成膜時に強誘電体膜 7 0 が受けたダメージを回復させるため、6 5 0 °Cの酸素雰囲気ファーンネス（不図示）中でアニールを約 6 0 分間行う。

## 【 0 1 2 4 】

次に、図 2 1 (b) に示す断面構造を得るまでの工程について説明する。

## 【 0 1 2 5 】

まず、上部電極用導電膜 7 1 の上にTiN膜 9 5 をスパッタ法により形成し、更にその上にTEOSを使用するプラズマCVD法により $\text{SiO}_2$ 膜 9 6 を形成する。その後、このTiN膜 9 5 と $\text{SiO}_2$ 膜 9 6 とをフォトリソグラフィーによりキャパシタ形状にパターニングし、それらをハードマスク 9 7 とする。

## 【 0 1 2 6 】

次いで、シリコン基板 5 1 をエッチングチャンバ（不図示）内の下部電極上に載置し、その下部電極に周波数 6 0 0 kHzのバイアス用の高周波電力を 7 0 0 W 印加することによりシリコン基板 5 1 にバイアス電圧を印加する。更に、チャンバの周囲に設けられたコイルに周波数 1 3 . 5 6 MHzの高周波電力をアンテナパワーとして 8 0 . 0 W 印加し、チャンバ内にHBrと $\text{O}_2$ をそれぞれ 1 0 sccm、4 0 sccmの流量で導入して、チャンバ内の圧力を 0 . 4 Paに保持すると共に、基板温度を 4 0 0 °Cにする。これにより、エッチングチャンバ内は $\text{IrO}_2$ に対するエッチング雰囲気となり、 $\text{IrO}_2$ よりなる上部電極用導電膜 7 1 がエッチングされる。そして、上部電極用導電膜 7 1 が 1 0 %オーバーエッチされたところでエッチングを終了することにより、上部電極用導電膜 7 1 がハードマスク 9 7 の形状にエッチングされて上部電極 7 1 a となる。なお、1 0 %のオーバーエッチングとは、上部電極用導電膜 7 1 の膜厚 2 0 0 nmの 1 0 %分、すなわち 2 0 nmだけ上部電極用導電膜 7 1 を過剰にエッチングすることを言う。

## 【 0 1 2 7 】

続いて、バイアスパワーとアンテナパワーとをそのままにし、エッチングガスを 4 0 sccmの $\text{Cl}_2$ と 1 0 sccmのArに変えることにより、チャンバ内をPZTに対するエッチング雰囲気にし、PZTよりなる強誘電体膜 7 0 をハードマスク 9 7 の形状にエッチングしていく。そして、終点検出器でエッチングの終点をモニターする

ことにより、エッチングを下部電極用導電膜 6 9 上で停止させる。これにより、強誘電体膜 7 0 はエッチングされて、キャパシタ用の誘電体膜 7 0 a となる。

## 【 0 1 2 8 】

次いで、エッチングガスを再び 1 0 sccm の HBr と 4 0 sccm の  $O_2$  にして下部電極用導電膜 6 9 のエッチングを開始し、1 0 % のオーバーエッチングとなったところでエッチングを終了する。これにより、下部電極用導電膜 6 9 は、ハードマスク 9 7 の形状にエッチングされ、下部電極 6 9 a となる。

## 【 0 1 2 9 】

この工程により、下部電極 6 9 a、強誘電体膜 7 0 a、及び上部電極 7 1 a をこの順に積層してなる強誘電体キャパシタ Q 1、Q 2 が、導電性酸素バリア膜 6 4 a、6 4 c と絶縁性酸素バリア膜 6 5 とを介して下地絶縁膜 9 の上に形成されたことになる。その強誘電体キャパシタ Q 1、Q 2 は、導電性酸素バリア膜 6 4 a、6 4 c と第 1 導電性プラグ 6 2 a、6 2 c とを介して、それぞれ第 1 の拡散領域 5 5 a 及び第 3 の拡散領域 5 5 c と電氣的に接続される。

## 【 0 1 3 0 】

この強誘電体キャパシタ Q 1、Q 2 の一部は絶縁性酸素バリア膜 6 5 上に形成されるが、絶縁性酸素バリア膜 6 5 の最上層を  $SiO_2$  よりなる絶縁性密着膜 6 5 b としたことで、強誘電体キャパシタ Q 1、Q 2 の下部電極 6 9 a が絶縁性酸素バリア膜 6 5 から剥がれるのを防止することができる。

## 【 0 1 3 1 】

続いて、エッチングによる誘電体膜 7 0 a のダメージを回復するために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度 6 5 0 °C、6 0 分間の条件で酸素を含むファーンネス内で行われる。

## 【 0 1 3 2 】

そのような回復アニールを行っても、絶縁性酸素バリア膜 6 5 によって第 2 導電性プラグ 6 2 b の酸化を防ぐことができ、また、導電性酸素バリア膜 6 4 a、6 4 c によって第 1 導電性プラグ 6 2 a、6 2 c の酸化を防止することができる。なお、ハードマスク 9 7 は、強誘電体キャパシタ Q 1、Q 2 を形成後に除去される。

## 【 0 1 3 3 】

次に、図 2 2 ( a ) に示すように、強誘電体キャパシタ Q 1、Q 2 上、及び絶縁性酸素バリア膜 6 5 上に、第 1 キャパシタ保護絶縁膜 7 3 として厚さ約 5 0 nm のアルミナをスパッタ法により形成する。この第 1 キャパシタ保護絶縁膜 7 3 は、プロセスダメージから強誘電体キャパシタ Q 1、Q 2 を保護するものであって、アルミナの他、P Z T で構成してもよい。

## 【 0 1 3 4 】

その後、TEOSを使用するプラズマ C V D 法により、この第 1 キャパシタ保護絶縁膜 7 3 上に第 2 キャパシタ保護絶縁膜 7 2 として SiO<sub>2</sub> 膜を厚さ約 1 0 0 nm に形成する。

## 【 0 1 3 5 】

次に、図 2 2 ( b ) に示すように、SiH<sub>4</sub>を使用する H D P C V D (High Density Plasma) 法により、SiO<sub>2</sub> よりなる第 1 絶縁膜 7 4 を第 2 キャパシタ絶縁膜 7 2 上に約 1 . 5 μ m の厚さに形成する。そのような H D P C V D 法では、シリコン基板 5 1 にバイアス電圧を印加することで、ボイドの発生無しに、高アスペクトレシオの強誘電体キャパシタ Q 1、Q 2 間に埋め込み性の良い第 1 絶縁膜 7 4 を形成することができる。

## 【 0 1 3 6 】

但し、上記の H D P C V D 法では、還元性のある水素を有する SiH<sub>4</sub> を反応ガスとして使用しているため、その水素によって誘電体膜 7 0 a が劣化する恐れがある。そこで、O<sub>2</sub> を SiH<sub>4</sub> の流量の 5 倍以上供給することにより、雰囲気中の水素をできるだけ酸化し、水素による誘電体膜 7 0 a の劣化を極力防ぐのが好ましい。

## 【 0 1 3 7 】

また、理由は不明であるが、TEOSを使用するプラズマ C V D 法で第 2 キャパシタ保護絶縁膜 7 2 を形成すると、第 1 キャパシタ保護絶縁膜 7 3 を単層で使用する場合よりも強誘電体キャパシタ Q 1、Q 2 の劣化がより良好に防止することができる。

## 【 0 1 3 8 】

その後、図 2 3 ( a ) に示すように、TEOSを使用するプラズマ C V D 法により

、第1絶縁膜74上にCMP用の犠牲膜75として $\text{SiO}_2$ 膜を厚さ約500nmに形成する。

## 【0139】

そして、犠牲膜75をCMPで研磨することにより、図23(b)に示すように、第1絶縁膜74の表面を平坦化して、上部電極71a上での第1絶縁膜74の厚さを約500nmとする。

## 【0140】

次に、図24(a)に示すように、平坦化された第1絶縁膜74上に、第1低誘電率絶縁膜76としてBN膜（誘電率：約2）を厚さ約200nm程度に形成する。

## 【0141】

第1低誘電率絶縁膜76は、配線段差の無い平坦化された第1絶縁膜74上に形成されるものであるから、その成膜方法として埋め込み性の良いもの、例えば基板バイアスを印加するHDPCVD法を採用する必要がない。よって、上記のBN膜は、シリコン基板51にバイアス電圧を印加しない（ノンバイアス）で成膜することができ、例えば、 $\text{B}_2\text{H}_6$ と $\text{N}_2$ とを反応ガスとして使用するノンバイアスのプラズマCVD法により形成することができる。

## 【0142】

ノンバイアスなので、成膜ガス中の水素がバイアス電圧によりシリコン基板51に引き込まれることがなく、水素によって強誘電体キャパシタQ1、Q2が劣化してしまうのを防止することができる。

## 【0143】

なお、低誘電率絶縁膜76としては、BN膜の他に、SOL-GEL法で形成されたものを使用してもよい。この場合は、低誘電率膜76からの脱ガスをブロックするブロック膜（不図示）を第1絶縁膜74上に形成し、このブロック膜上に第1低誘電率絶縁膜76を形成するのが好ましい。そのようなブロック膜としては、例えば、Cat-CVD（Catalytic Chemical Vapor Deposition）法で形成されたSiN膜、 $\text{SiO}_2$ 膜、SiC膜、及び $\text{TiO}_x$ 膜等が挙げられる。

## 【0144】



続いて、TEOSを使用するプラズマCVD法により、厚さ100nmの $\text{SiO}_2$ 膜を第1キャップ膜77として第1低誘電率膜76上に形成する。この第1キャップ膜77は、第1低誘電率膜76からの脱ガスが上方に拡散するのを防止する役割を担う。なお、第1キャップ膜77としては、上述のCat-CVD法で形成した種々の膜を使用しても良い。そして、この第1キャップ膜77も平坦な表面上に形成されるものであるからHDPCVD法で成膜する必要が無い。

## 【0145】

この工程により、各絶縁膜72～74、76～77で構成される第1の層間絶縁膜118が、強誘電体キャパシタQ1、Q2を覆って形成されたことになる。

## 【0146】

次に、図24(b)に示す断面構造を得るまでの工程について説明する。

## 【0147】

まず、第1キャップ膜77上にフォトリソistを塗布し、それを露光・現像することにより、ホール形状のリソist開口78aを有する第1リソistパターン78とする。次いで、この第1リソistパターン78をエッチングマスクとして使用しながら、第1キャップ膜77、第1低誘電率絶縁膜76、第1絶縁膜74、第2キャパシタ保護絶縁膜72をエッチングし、各膜に第1ホール72a、74a、76a、77aを形成する。

## 【0148】

この場合のエッチングガスとしては、例えば $\text{CF}_4$ 、 $\text{C}_4\text{F}_8$ 、 $\text{O}_2$ 、及びArの混合ガスが使用される。

## 【0149】

このエッチングにおけるアルミナと $\text{SiO}_2$ とのエッチング選択比は、(アルミナ) : ( $\text{SiO}_2$ ) = 1 : 2～3程度なので、アルミナよりなる第1キャパシタ保護絶縁膜73がこのエッチングにおけるエッチングストッパ膜の役割を果たす。

## 【0150】

このエッチングが終了後、第1リソistパターン78を酸素プラズマによりアッシングして除去する。

## 【0151】

次に、図 2 5 ( a ) に示す断面構造を得るまでの工程について説明する。

【 0 1 5 2 】

まず、全面にフォトリソグロスを塗布し、それを露光・現像することにより、ホール形状の第 1 リソグロス開口 7 9 a と配線形状の第 2 リソグロス開口 7 9 b とを有する第 2 リソグロスパターン 7 9 とする。次いで、この第 2 リソグロスパターン 7 9 をエッチングマスクとして使用しながら、第 1 リソグロス開口 7 9 a 下の第 1 キャップ膜 7 7、第 1 低誘電率絶縁膜 7 6、第 1 絶縁膜 7 4、第 2 キャパシタ保護絶縁膜 7 2 をエッチングし、それぞれの膜に第 3 ホール 7 7 c、7 6 c、及び第 2 ホール 7 4 b、7 2 b を形成する。このエッチングにおけるエッチングガスとしては、例えば  $\text{CF}_4$ 、 $\text{C}_4\text{F}_8$ 、 $\text{O}_2$ 、及び Ar の混合ガスが使用される。

【 0 1 5 3 】

なお、これらのホールを先のエッチング工程 ( 図 2 4 ( b ) ) において形成することも可能であるが、これらのホールを合わせた深さが強誘電体キャパシタ Q 1、Q 2 上の各ホール 7 2 a、7 4 a、7 6 a、7 7 a の合計深さよりも深いため、強誘電体キャパシタ Q 1、Q 2 上の第 1 キャパシタ保護絶縁膜 7 3 がエッチングされ、強誘電体キャパシタ Q 1、Q 2 がエッチング雰囲気中に長時間曝されてダメージを受ける恐れがある。

【 0 1 5 4 】

再び図 2 5 ( a ) を参照する。上記のエッチングでは、第 2 リソグロス開口 7 9 b 下の第 1 キャップ膜 7 7 と第 1 低誘電率絶縁膜 7 6 もエッチングされ、それぞれの膜に第 2 ホール 7 7 b、7 6 b が形成される。第 1 配線溝 8 0 は、その第 2 ホール 7 7 a、7 6 b により構成される。

【 0 1 5 5 】

なお、このエッチングでは、第 1 ホール 7 2 a 下の第 1 キャパシタ保護絶縁膜 7 3 がエッチングされ、そこに第 1 ホール 7 3 a が形成される。これにより、各ホール 7 2 a ~ 7 4 a で構成される第 1 コンタクトホール 8 1 が第 1 配線溝 8 0 の底部から下に延びて形成され、その第 1 コンタクトホール 8 1 内に強誘電体キャパシタ Q 1、Q 2 の上部電極 7 1 a が露出することになる。

【 0 1 5 6 】

この工程が終了後、第2レジストパターン79は酸素プラズマによりアッシングされて除去される。

## 【0157】

その後、強誘電体キャパシタQ1、Q2の形成後からここまでの工程において強誘電体キャパシタQ1、Q2が受けたダメージを回復させるため、550℃の酸素雰囲気中で60分間の酸素アニールを行う。この酸素アニールの際、第2導電性プラグ62bの上に絶縁性酸素バリア膜65を形成しているため、第2導電性プラグ62bの酸化を防ぐことができる。

## 【0158】

次に、図25(b)に示す断面構造を得るまでの工程について説明する。

## 【0159】

まず、全面にフォトリソを塗布し、それを露光・現像することにより、配線形状のレジスト開口82aを有する第3レジストパターン82とする。

## 【0160】

次いで、この第3レジストパターン82をエッチングマスクに使用しながら、レジスト開口82a下の第1キャップ膜77と第1低誘電率絶縁膜76とをエッチングし、それぞれの膜に第4ホール77d、76dを形成してそれらを第2配線溝83として使用する。このエッチングにおけるエッチングガスとしては、例えば、 $\text{CF}_4$ 、 $\text{C}_4\text{F}_8$ 、 $\text{O}_2$ 、及びArの混合ガスが使用される。

## 【0161】

また、このエッチングにおいては、第2ホール72b下の第1キャパシタ保護絶縁膜73、絶縁性密着膜65b、及び酸化防止絶縁膜65aもエッチングされて、それぞれの膜に第2ホール73b、第1ホール65d、65cが形成される。そして、各ホール74b、72b、73b、65d、65cを第2コンタクトホール84として使用する。

## 【0162】

なお、この工程が終了後、第3レジストパターン82は酸素プラズマによりアッシングされて除去される。

## 【0163】

次に、図 2 6 (a) に示す断面構造を得るまでの工程について説明する。

#### 【 0 1 6 4 】

まず、上部電極 7 1 a と第 2 導電性プラグ 6 2 b の各上面を Ar プラズマにより約 2 0 nm エッチングして清浄面を出す。その後、第 1、第 2 コンタクトホール 8 1、8 4、及び第 1、第 2 配線溝 8 0、8 3 の各内面に、銅の拡散を防止するための第 1 拡散防止膜 8 5 として TaN をスパッタ法により厚さ約 5 0 nm に形成する。

#### 【 0 1 6 5 】

次に、図 2 6 (b) に示すように、全面に不図示の Cu シード層を形成してそれに対して給電を行い、第 1、第 2 コンタクトホール 8 1、8 4、及び第 1、第 2 配線溝 8 0、8 3 の各内面を完全に埋め込む厚さの第 1 銅膜 8 6 をめっき法により形成する。そのめっき法においては、硫酸銅の他、銅の埋め込み性を良くするための有機物が添加されためっき液が使用される。めっき法では、基板 5 1 を加熱しないためサーマルバジェットが低下し、強誘電体キャパシタ Q 1、Q 2 が熱によりダメージを受けるのを防ぐことができる。

#### 【 0 1 6 6 】

なお、めっき法に代えて、CVD 法により第 1 銅膜 8 6 を形成してもよい。その CVD 法においては、図 3 3 に示すチャンバ 1 2 4 内の基板載置台 1 2 5 上にシリコン基板 5 1 を載置し、チャンバ 1 2 4 の上方から  $\text{Cl}_2$  ガスを導入する。そして、高周波電源 1 2 8 で発生した周波数 1 3 . 5 6 MHz、パワー 3 0 0 0 W の高周波電力をコイル 1 2 6 に供給することにより、チャンバ 1 2 4 内に Cl プラズマを生成させ、その Cl プラズマを温度約 3 0 0 °C に保持された銅板 1 2 7 の開口 1 2 7 a に通す。このようにすると、銅板 1 2 7 の銅が Cl プラズマに曝されて  $\text{Cu}_x\text{Cl}_y$  なる銅の塩化物が生成し、それがシリコン基板 5 1 上に付着する。シリコン基板 5 1 は、Cl プラズマよりも低い約 2 0 0 °C に保持されているため、シリコン基板 5 1 とプラズマの温度差によって  $\text{Cu}_x\text{Cl}_y$  中の Cl が脱離し、シリコン基板 5 1 上には Cu のみが堆積し、第 1 銅膜 8 6 が形成されることになる。

#### 【 0 1 6 7 】

このように CVD 法で第 1 銅膜 8 6 を形成する場合は、第 1 銅膜 8 6 の表面に

自然酸化膜が形成されるのを防ぐため、第 1 銅膜 8 6 の形成後にそれを大気に曝すのは避けた方がよい。

## 【 0 1 6 8 】

次に、図 2 7 に示す断面構造を得るまでの工程について説明する。

## 【 0 1 6 9 】

まず、第 1 キャップ膜 7 7 よりも上にある第 1 銅膜 8 6 及び第 1 拡散防止膜 8 5 を CMP 法により研磨して除去し、それらを第 1、第 2 配線溝 8 0、8 3、及び第 1、第 2 コンタクトホール 8 1、8 4 内に残して、第 1、第 2 銅配線 8 6 a、8 6 c 及び第 1、第 2 銅プラグ 8 6 b、8 6 d とする。なお、第 1 銅配線 8 6 a は、第 1 銅プラグ 8 6 b を介して強誘電体キャパシタ Q 1、Q 2 の上部電極 7 1 a と電氣的に接続されて、プレート線として機能する。そして、第 2 銅配線 8 6 c は、ビット線として機能し、第 2 銅プラグ 8 6 d と第 2 導電性プラグ 6 2 b とを介して第 2 の n 型不純物拡散領域 5 5 b と電氣的に接続される。

## 【 0 1 7 0 】

そのような銅配線の形成方法は、デュアルダマシンプロセスと称される。

## 【 0 1 7 1 】

次いで、銅の上方への拡散を防止するために、第 2 拡散防止膜 8 7 を全面に形成する。この第 2 拡散防止膜 8 7 としては、例えば厚さが 7 0 nm の SiN 膜が採用され得るが、強誘電体キャパシタ Q 1、Q 2 のダメージを避けるため、ノンバイアスのプラズマ CVD 法により SiN 膜を形成するのが好ましい。或いは、SiN 膜に代えて、BN 膜、SiC 膜、及びアルミナ膜を採用しても良い。更に、このような絶縁膜に代えて、スパッタ法で形成された Ta、Ta<sub>2</sub>N<sub>5</sub>、Ti、TiN 等の導電膜を第 2 拡散防止絶縁膜 8 7 として採用しても良い。そのような導電膜を使用する場合は、各銅配線 8 6 a、8 6 c が電氣的に接続されるのを防止するため、導電膜を形成後にそれを各銅配線 8 6 a、8 6 c の形状にパターニングする工程が行われる。

## 【 0 1 7 2 】

続いて、図 2 8 に示す断面構造を得るまでの工程について説明する。

## 【 0 1 7 3 】

まず、TEOS を使用するプラズマ CVD 法により、第 2 絶縁膜 8 8 として厚さ約

500nmのSiO<sub>2</sub>膜を第2拡散防止膜87上に形成する。その後、B<sub>2</sub>H<sub>6</sub>とN<sub>2</sub>とを反応ガスとして使用するノンバイアスのプラズマCVD法により、この第2絶縁膜88上に第2低誘電率絶縁膜89としてBN膜を厚さ約200nm程度に形成する。続いて、TEOSを使用するプラズマCVD法により、厚さ100nmのSiO<sub>2</sub>膜を第2キャップ膜90として第2低誘電率膜89上に形成する。この第2キャップ膜90は、第2低誘電率膜89からの脱ガスが上方に拡散するのを防止するように機能する。

## 【0174】

ここまでの工程により、各絶縁膜87～90で構成される第2の層間絶縁膜119が形成されたことになる。

## 【0175】

次に、図29に示す断面構造を得るまでの工程について説明する。

## 【0176】

まず、第2キャップ膜90上に不図示のフォトリソを塗布し、それを露光・現像することにより、金属パターン形状の開口を有するレジストパターン（不図示）を形成する。次いで、そのレジストパターンをエッチングマスクとして使用し、第2キャップ膜90と第2低誘電率絶縁膜89とをエッチングして、金属パターン用溝92を構成する第1ホール89a、90aをこれらの膜に形成する。その金属パターン用溝92は、キャパシタQ1、Q2を含むセル領域を覆うように、キャパシタQ1、Q2とその周囲の上方に形成される。

## 【0177】

次に、図30に示すように、この金属パターン用溝92内に第3拡散防止膜130としてTa<sub>2</sub>N膜を厚さ30nm程度に形成し、更にスパッタ法、或いは記述のめっき法やCVD法により、この第3拡散防止膜130上に第2銅膜131を形成する。その第2銅膜131の厚さは、金属パターン用溝92を完全に埋める深さとする。

## 【0178】

続いて、図31に示すように、第3拡散防止膜130と第2銅膜131とをCMP法により研磨する。これにより、第3拡散防止膜130と第2銅膜131は

、第2キャップ膜90の上面上から除去されると共に、金属パターン用溝92内に残されて金属パターン132を構成することになる。

## 【0179】

この金属パターン132は、強誘電体キャパシタQ1、Q2を十分に覆うようにセル領域よりも広く形成され、また、その電位は限定されず、固定電位、及び電氣的に孤立した浮遊電位のいずれでもよい。

## 【0180】

その後、370℃に保ったサセプター上にシリコン基板51を固定し、不活性ガスの減圧雰囲気中、例えば圧力2TorrのN<sub>2</sub>雰囲気中で金属パターン132を30分間アニールする。

## 【0181】

このアニール前、金属パターン132中の第2銅膜131は $-5 \times 10^{10}$  dyne/cm<sup>2</sup>の圧縮応力を有するが、このアニール後には、 $5 \times 10^{10}$  dyne/cm<sup>2</sup>の引っ張り応力に変化する。このストレスの変化が下方の強誘電体キャパシタQ1、Q2に好ましい応力を与えるので、強誘電体キャパシタQ1、Q2の強誘電体特性が向上する。

## 【0182】

なお、上記では、第3拡散防止膜130と第2銅膜131とで構成される金属膜をCMPで研磨した後に金属パターン132をアニールしたが、金属パターン132の形成とアニールの順序は限定されない。例えば、CMP前の金属膜に対して上記の条件でアニールを行っても、金属パターン132には上記と同様のストレス効果が生じると期待できる。更に、金属パターン132の上に後述の第4拡散防止膜100を形成した後にアニールを行ってもよい。

## 【0183】

そのアニールにおいて金属膜をその融点以上に加熱してしまうと金属膜が溶融し、金属膜が所望のストレスを生じなくなるので、アニール温度は金属膜の融点以下にする必要がある。

## 【0184】

更に、このアニールは、不活性ガスの減圧雰囲気中に限らず、酸素雰囲気、酸

素含有雰囲気、不活性ガス含有雰囲気中で行ってもよい。

【0185】

次に、図32に示す断面構造を得るまでの工程について説明する。

【0186】

まず、金属パターン132上と第2キャップ膜90上とに、第4拡散防止膜100として厚さ約70nmのアルミナ膜又はTa膜をスパッタ法により形成する。第4拡散防止膜100をスパッタ法で形成することで、成膜雰囲気が還元雰囲気になるので、還元雰囲気によってキャパシタQ1、Q2が劣化するのを防止することができる。

【0187】

なお、Ta膜を第4拡散防止膜100として使用する場合は、金属パターン132がそれと同一層内にある配線（不図示）と電氣的に接続されるのを防止するため、Ta膜を形成後にそれを金属パターン132の形状にパターニングする。

【0188】

次いで、その第4拡散防止膜100上に、TEOSを使用するプラズマCVD法により厚さ約100nmのSiO<sub>2</sub>膜を形成し、それを第3絶縁膜101とする。その後、この第3絶縁膜101上に第3低誘電率絶縁膜102としてBN膜を厚さ約200nmに形成し、更にその上にTEOSを使用するプラズマCVD法により厚さ約100nmのSiO<sub>2</sub>膜を形成し、それを第3キャップ膜103とする。

【0189】

続いて、デュアルダマシンプロセスを使用して、これら第3拡散防止膜100、第3絶縁膜101、第3低誘電率絶縁膜102、及び第3キャップ膜103に第3銅プラグ104と第3銅配線105とを埋め込む。第3銅プラグ104と第3銅配線105は、いずれもTiN膜と銅膜との二層構造を有し、下方の金属パターン132と電氣的に接続される。

【0190】

ここで、金属パターン132を浮遊電位とする場合は、第3銅プラグ104を金属パターン132に接続する必要は無い。この場合は、金属パターン132にホールを形成し、そのホールに触れずにその中を通して第1銅配線86aに至る



ように第3銅プラグ104を形成すればよい。こうする場合は、第3銅プラグ104が埋め込まれるホールを各絶縁膜87～90に形成することになる。

## 【0191】

次に、この第3銅配線105上と第3キャップ膜103上とに、第5拡散防止膜106として厚さ約70nmのアルミナ膜又はTa膜をスパッタ法により形成する。Ta膜を第5拡散防止膜106として使用する場合は、Ta膜を形成後にそれを第3銅配線105の形状にパターニングする。

## 【0192】

その後、TEOSを使用するプラズマCVD法により、第5拡散防止膜106上に第4絶縁膜107としてSiO<sub>2</sub>膜を厚さ約500nmに形成する。更に、この第4絶縁膜107上にBN膜等の第4低誘電率絶縁膜108を厚さ約200nmに形成し、その上に、TEOSを使用するプラズマCVD法によりSiO<sub>2</sub>膜を形成し、それを第4キャップ膜109とする。

## 【0193】

そして、デュアルダマシンプロセスにより、これら第5拡散防止膜106、第4絶縁膜107、第4低誘電率絶縁膜108、及び第4キャップ膜109に第4銅配線110を埋め込む。この第4銅配線110は、TiN膜と銅膜との二層構造を有し、不図示の銅プラグにより第3銅配線105と電氣的に接続される。

## 【0194】

続いて、第4銅配線110上と第4キャップ膜109上とに、第6拡散防止膜111としてアルミナ膜又はTa膜をスパッタ法により厚さ約70nm程度に形成する。Ta膜を第4拡散防止膜111として使用する場合は、Ta膜を形成後にそれを第6銅配線110の形状にパターニングする。その後、TEOSを使用するプラズマCVD法により第6拡散防止膜111上に厚さ約500nmのSiO<sub>2</sub>膜を形成し、それを第5絶縁膜112とする。そして、フォトリソグラフィー法により第5絶縁膜112と第4拡散防止膜111とにホールを形成し、そのホール内に第3導電性プラグ113を形成する。その第3導電性プラグ113は、例えば、下から順にTa<sub>2</sub>N<sub>5</sub>膜、TiN膜、及びタングステン膜を積層した構造を有する。

## 【0195】

その後、第3導電性プラグ113上と第5絶縁膜112上とに多層金属膜を形成する。その多層金属膜として、例えば、厚さ60nmのTi膜、厚さ30nmのTiN膜、厚さ400nmのAl-Cu膜、厚さ5nmのTi膜、及び厚さ70nmのTiN膜をスパッタ法により順に形成する。そして、フォトリソグラフィーによりその多層金属膜をパターンニングして、最終金属配線115とする。

## 【0196】

そして、TEOSを使用するプラズマCVD法により、最終金属配線115を覆う第6絶縁膜114として厚さ約1.5 $\mu$ mのSiO<sub>2</sub>膜を形成する。

## 【0197】

そして最後に、デバイス表面を保護するための表面保護膜116として、SiN膜を厚さ約500nmに形成する。そのSiN膜は、キャパシタQ1、Q2にダメージを与えないために、ノンバイアスのプラズマCVD法で形成されるのが好ましい。

## 【0198】

上記した本実施形態によれば、第2の層間絶縁膜119に金属パターン用溝92を設け、そこに引っ張り応力を有する金属パターン132を形成する。そのため、第2の層間絶縁膜119内の第2絶縁膜88等で発生する圧縮応力が金属パターンによって緩和され、強誘電体キャパシタQ1、Q2に作用する正味の応力が低減し、強誘電体キャパシタQ1、Q2の強誘電体特性が向上する。

## 【0199】

なお、上記では第2の層間絶縁膜119を複数の絶縁膜88～90で構成したが、単層の絶縁膜で第2層間絶縁膜119を形成してもよい。

## 【0200】

更に、上記では金属パターン132を第3拡散防止膜130と第2銅膜131との多層金属膜で構成したが、多層金属膜でなくてもよい。即ち、アルミニウム、チタン、銅、タンタル、タングステンのいずれかの膜、又はそれらのいずれかの元素との合金又は混合物の膜であってもよい。

## 【0201】

以下、本発明の特徴について付記する。

（付記 1）半導体基板の上方に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと、

前記キャパシタ及び前記第 1 絶縁膜の上方に形成された第 2 絶縁膜と、

前記キャパシタ及びその周辺の上方であって前記第 2 絶縁膜の上に形成され且つ前記第 2 絶縁膜とは逆の方向の応力を有する金属パターンとを有することを特徴とする半導体装置。

（付記 2）前記第 2 絶縁膜内には複数の金属配線パターンが形成されていることを特徴とする付記 1 に記載の半導体装置。

（付記 3）半導体基板の上方に形成された第 1 絶縁膜と、

前記第 1 絶縁膜上に形成され且つ下部電極、誘電体膜及び上部電極を有するキャパシタと、

前記キャパシタ及び前記第 1 絶縁膜の上方に形成された第 2 絶縁膜と、

前記キャパシタ及びその周辺の上方における前記第 2 絶縁膜に形成された溝と

前記溝に形成され、前記第 2 絶縁膜とは逆の方向の応力を有する金属パターンと、

を有することを特徴とする半導体装置。

（付記 4）前記金属パターンの電位は、固定電位又は浮遊電位であることを特徴とする付記 1 乃至付記 3 のいずれかに記載の半導体装置。

（付記 5）前記キャパシタはセル領域に複数形成され、前記金属パターンは前記セル領域の全体を覆うことを特徴とする付記 1 乃至付記 4 に記載の半導体装置。

（付記 6）前記金属パターンは前記セル領域よりも広く形成されていることを特徴とする付記 1 乃至付記 5 のいずれかに記載の半導体装置。

（付記 7）前記金属パターンの前記応力は引張応力であることを特徴とする付記 1 乃至付記 6 のいずれかに記載の半導体装置。

（付記 8）前記金属パターンは単層構造又は多層構造であることを特徴とする付記 1 乃至付記 7 のいずれかに記載の半導体装置。

（付記 9）前記金属パターンは、アルミニウム、チタン、銅、タンタル、タング

ステン of いずれかの材料、又は、アルミニウム、チタン、銅、タンタル、タングステンのいずれかを含む材料から構成されることを特徴とする付記 1 乃至付記 8 のいずれかに記載の半導体装置。

(付記 1 0) 半導体基板の上方に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域に複数形成する工程と、

前記キャパシタ及び前記第 1 絶縁膜の上方に第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の上に金属膜を形成する工程と、

前記金属膜をパターニングして前記セル領域を覆う金属パターンを形成する工程と、

前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴とする半導体装置の製造方法。

(付記 1 1) 前記金属膜のパターニングによって前記金属パターンから離れた領域に金属配線を形成する工程をさらに有することを特徴とする付記 1 0 に記載の半導体装置の製造方法。

(付記 1 2) 前記第 2 絶縁膜は、TEOS を含む反応ガスを用いて形成された膜であることを特徴とする付記 1 0 又は付記 1 1 に記載の半導体装置の製造方法。

(付記 1 3) 半導体基板の上方に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜の上に、下部電極、誘電体膜及び上部電極を有するキャパシタをセル領域に複数形成する工程と、

前記キャパシタ及び前記第 1 絶縁膜の上方に第 2 絶縁膜を形成する工程と、

前記セル領域を覆う溝を前記第 2 絶縁膜に形成する工程と、

前記溝を埋める厚さの金属膜を該溝内と前記第 2 絶縁膜上とに形成する工程と、

前記第 2 絶縁膜上の前記金属膜を除去すると共に、該金属膜を前記溝内に残して金属パターンとする工程と、

前記金属パターンの形成の前又は後に、前記金属膜の融点以下で前記金属膜を加熱することにより前記金属膜の応力を変化させる工程とを有することを特徴と

する半導体装置の製造方法。

（付記 1 4）前記第 2 絶縁膜は複数の絶縁膜の積層膜からなり、そのうちの少なくとも一層が T E O S を含む反応ガスを用いて形成された膜であることを特徴とする付記 1 3 に記載の半導体装置の製造方法。

（付記 1 5）前記金属膜の加熱は、減圧雰囲気中でなされることを特徴とする付記 1 0 乃至付記 1 4 のいずれかに記載の半導体装置の製造方法。

（付記 1 6）前記金属膜の加熱は、酸素雰囲気、酸素含有雰囲気、不活性ガス雰囲気、不活性ガス含有雰囲気のいずれかの中でなされることを特徴とする付記 1 0 乃至付記 1 4 のいずれかに記載の半導体装置の製造方法。

（付記 1 7）前記金属膜を加熱する前に、前記金属膜の上に第 3 絶縁膜を形成する工程をさらに有することを特徴とする付記 1 0 乃至付記 1 6 のいずれかに記載の半導体装置の製造方法。

（付記 1 8）前記金属膜の形成は、アルミニウム、チタン、銅、タンタル、タングステンのいずれかの材料、又は、アルミニウム、チタン、銅、タンタル、タングステンのいずれかを含む材料からなる膜の形成であることを特徴とする付記 1 0 乃至付記 1 7 のいずれかに記載の半導体装置の製造方法。

（付記 1 9）前記金属膜の加熱により、前記金属膜の応力は前記第 2 絶縁膜の応力とは逆の応力に変化されることを特徴とする付記 1 0 乃至付記 1 8 のいずれかに記載の半導体装置の製造方法。

（付記 2 0）前記金属膜の加熱により、前記金属膜の応力は引張応力に変化されることを特徴とする付記 1 9 に記載の半導体装置の製造方法。

（付記 2 1）前記第 2 絶縁膜は、圧縮応力を有することを特徴とする付記 1 0 乃至付記 2 0 のいずれかに記載の半導体装置の製造方法。

（付記 2 2）前記金属膜は、単層構造又は多層構造で形成されることを特徴とする付記 1 0 乃至付記 2 1 のいずれかに記載の半導体装置の製造方法。

【 0 2 0 2 】

【発明の効果】

以上述べたように、本発明に係る半導体装置によれば、第 2 絶縁膜とは逆の方向の応力を有する金属パターンを設けたので、第 2 絶縁膜からキャパシタに作用

する応力を金属パターンの応力によって緩和することができ、キャパシタの強誘電体特性を向上させることができる。しかも、金属パターンは、絶縁膜とは異なり水分が出ることがないので、水分によってキャパシタが劣化することが無い。

【 0 2 0 3 】

また、本発明に係る半導体装置の製造方法によれば、金属パターンの形成の前又は後に、金属膜をその融点以下の温度に加熱することにより、該金属膜の応力を変化させるので、第 2 絶縁膜の応力が金属膜によって緩和され、キャパシタの強誘電体特性を向上させることができる。

【図面の簡単な説明】

【図 1】

図 1 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 1）である。

【図 2】

図 2 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 2）である。

【図 3】

図 3 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 3）である。

【図 4】

図 4 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 4）である。

【図 5】

図 5 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 5）である。

【図 6】

図 6 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 6）である。

【図 7】

図 7 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（そ

の 7 ) である。

【図 8】

図 8 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 8）である。

【図 9】

図 9 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 9）である。

【図 1 0】

図 1 0 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 1 0）である。

【図 1 1】

図 1 1 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 1 1）である。

【図 1 2】

図 1 2 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 1 2）である。

【図 1 3】

図 1 3 は、本発明の第 1 実施形態に係る半導体装置の形成工程を示す断面図（その 1 3）である。

【図 1 4】

図 1 4 は、本発明の第 1 実施形態に係る半導体装置の平面図である。

【図 1 5】

図 1 5 は、本発明の第 1 実施形態に係る F e R A M の歩留まりと従来技術により形成された F e R A M の歩留まりを示す図である。

【図 1 6】

図 1 6 は、本発明の第 1 実施形態に係る F e R A M 内の強誘電体キャパシタの特性と従来技術により形成された F e R A M 内の強誘電体キャパシタの特性を示す図である。

【図 1 7】

図 1 7 は、金属膜のアニールによるストレスの変化を示す図である。

【図 1 8】

図 1 8 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1）である。

【図 1 9】

図 1 9 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 2）である。

【図 2 0】

図 2 0 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 3）である。

【図 2 1】

図 2 1 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 4）である。

【図 2 2】

図 2 2 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 5）である。

【図 2 3】

図 2 3 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 6）である。

【図 2 4】

図 2 4 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 7）である。

【図 2 5】

図 2 5 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 8）である。

【図 2 6】

図 2 6 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 9）である。

【図 2 7】



図 2 7 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1 0）である。

【図 2 8】

図 2 8 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1 1）である。

【図 2 9】

図 2 9 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1 2）である。

【図 3 0】

図 3 0 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1 3）である。

【図 3 1】

図 3 1 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1 4）である。

【図 3 2】

図 3 2 は、本発明の第 2 実施形態に係る半導体装置の形成工程を示す断面図（その 1 5）である。

【図 3 3】

図 3 3 は、本発明の第 2 実施形態に係る半導体装置の形成工程に使用される銅膜形成装置の構成図である。

【符号の説明】

A…メモリセル領域、B…周辺回路領域、1, 5 1…シリコン（半導体）基板、2, 5 2…素子分離絶縁膜、3 a, 3 b, 5 3…p ウェル、4…n ウェル、5, 5 4…ゲート絶縁膜、6 a～6 c, 5 6 a, 5 6 b…ゲート電極、7…引出電極、8 a, 8 b, 5 5 a～5 5 c…n 型不純物拡散領域、9…p 型不純物拡散領域、1 0, 5 7…サイドウォール、1 1…層間絶縁膜、1 2 a～1 2 e…ホール、1 3 a～1 3 e…コンタクトプラグ、1 4…SiON 膜、1 5…SiO<sub>2</sub> 膜、1 6…第 1 の導電膜、1 6 a…下部電極、1 7…強誘電体膜、1 7 a…誘電体膜、1 8…第 2 の導電膜、1 8 a…上部電極、1 9…第 1 のキャパシタ保護絶縁膜、2 0

…キャパシタ、21…層間絶縁膜、22a…局所配線、23…第2のキャパシタ保護絶縁膜、24…層間絶縁膜、24a～24f…ホール、25a…ビット線、25b～25d…配線、26…層間絶縁膜、26c, 26e…ホール、27…再堆積層間絶縁膜、28c…導電性プラグ、30…金属配線、31, 132…金属パターン、32, 33…カバー膜、58…カバー絶縁膜、59…下地絶縁膜、60…グルー膜、61…タングステン膜、59a～59c…コンタクトホール、62a, 62c…第1導電性プラグ、62b…第2導電性プラグ、63a…TiN膜、63b…SiO<sub>2</sub>膜、63…ハードマスク、64a, 64b…導電性酸素バリア膜、65a…酸化防止絶縁膜、65b…絶縁性密着膜、65…絶縁性酸素バリア膜、66, 75…犠牲膜、67…IrO<sub>2</sub>/Ir膜、68…Pt/PtO膜、69…下部電極用導電膜、69a…下部電極、70…強誘電体膜、70a…誘電体膜、71…上部電極用導電膜、71a…上部電極、72…第2キャパシタ保護絶縁膜、73…第1キャパシタ保護絶縁膜、74…第1絶縁膜、76…第1低誘電率絶縁膜、77…第1キャップ膜、78…第1レジストパターン、72a, 74a, 76a, 77a…第1ホール、74b, 72b, 76b, 77b…第2ホール、76c, 77c…第3ホール、76d, 77d…第4ホール、78a…レジストパターン、79…第2レジストパターン、80…第1配線溝、81…第1コンタクトホール、82…第3レジストパターン、83…第2配線溝、84…第2コンタクトホール、85…第1拡散防止膜、86…第1銅膜、86a…第1銅配線、86b…第1銅プラグ、86c…第2銅配線、86d…第2銅プラグ、87…第2拡散防止膜、88…第2絶縁膜、89…第2低誘電率絶縁膜、90…第2キャップ膜、90a, 89a…第1ホール、92…金属パターン用溝、95…TiN膜、96…SiO<sub>2</sub>膜、97…ハードマスク、100…第4拡散防止膜、101…第3絶縁膜、102…第3低誘電率絶縁膜、103…第3キャップ膜、104…第3銅プラグ、105…第3銅配線、106…第5拡散防止膜、107…第4絶縁膜、108…第4低誘電率絶縁膜、109…第4キャップ膜、110…第4銅配線、111…第6拡散防止膜、112…第5絶縁膜、113…第3導電性プラグ、114…第6絶縁膜、115…最終金属配線、116…表面保護膜、124…チャンバ、125…基板載置台、126…コイル、127…銅板、127a…開口、128

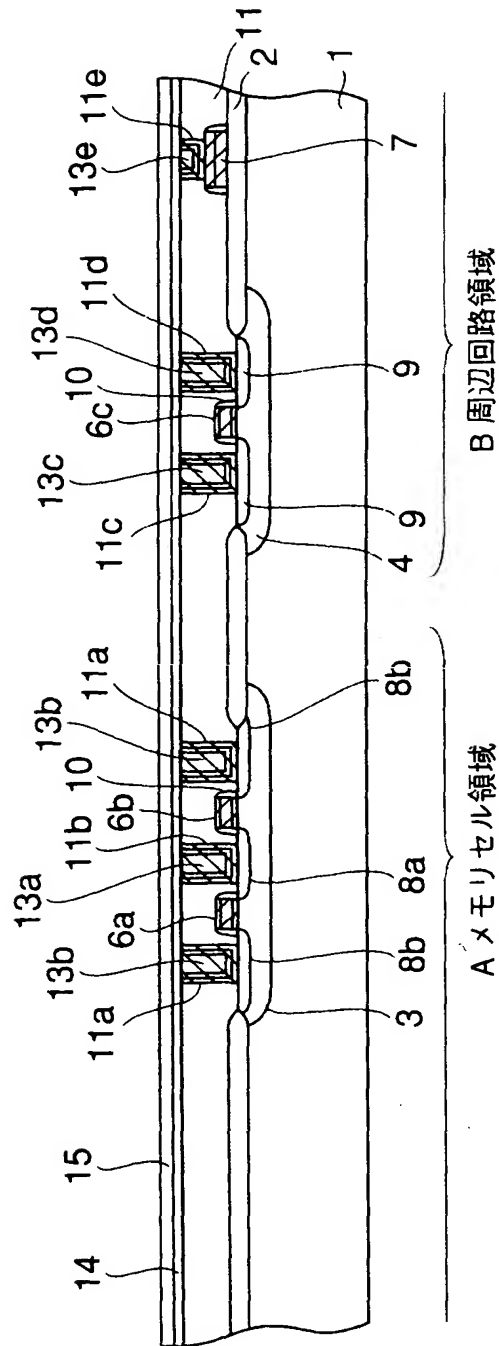
…高周波電源、 1 3 0 …第 3 拡散防止膜、 1 3 1 …第 2 銅膜。

【書類名】

図面

【図 1】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その1）

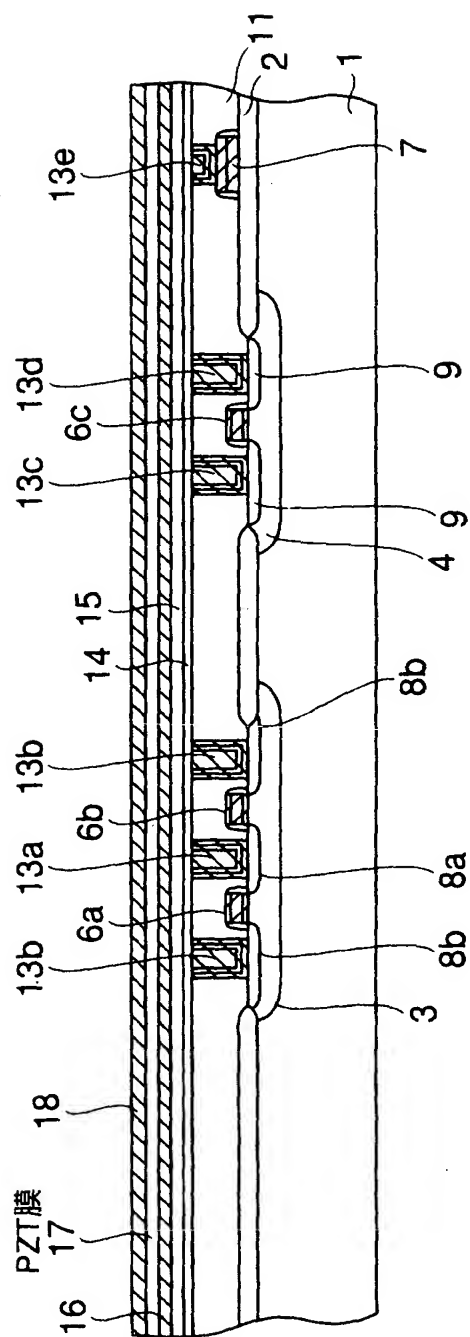


- 1: シリコン基板
- 2: 素子分離絶縁膜
- 3: Pウエル
- 4: nウエル
- 5: ゲート絶縁膜
- 6a、6b、6c: ゲート電極
- 7: 引出電極
- 8a、8b: n型不純物拡散領域
- 9: サイドウォール
- 10: 層間絶縁膜
- 11: 層間絶縁膜
- 12: 層間絶縁膜
- 13a、13b、13c、13d、13e: 層間絶縁膜
- 14: SiON膜
- 15: SiO<sub>2</sub>膜

【图2】

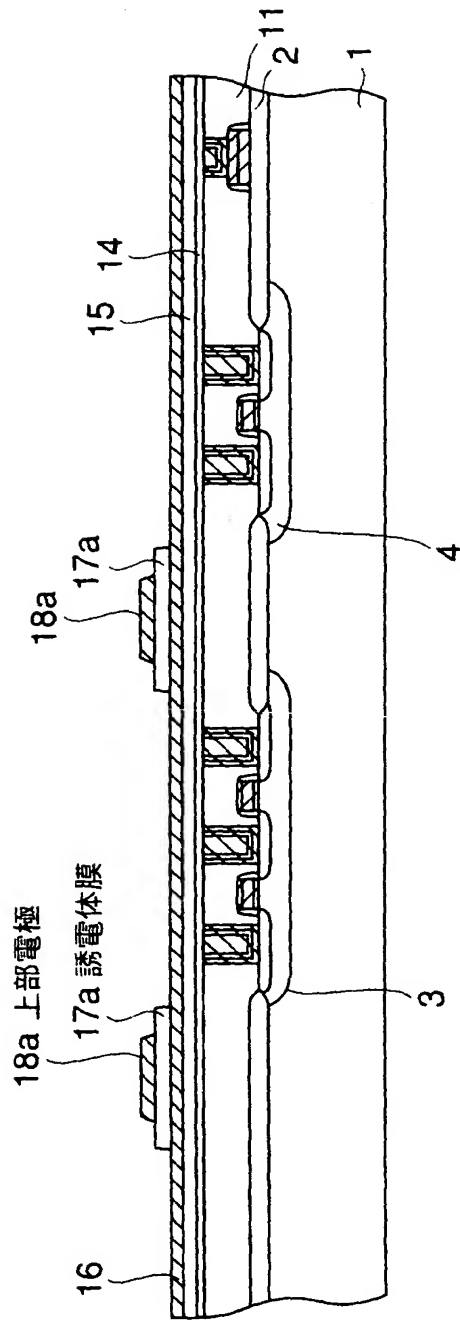
本発明の第1実施形態に係る半導体装置の形成の工程断面図（その2）

16. 18: 導電層



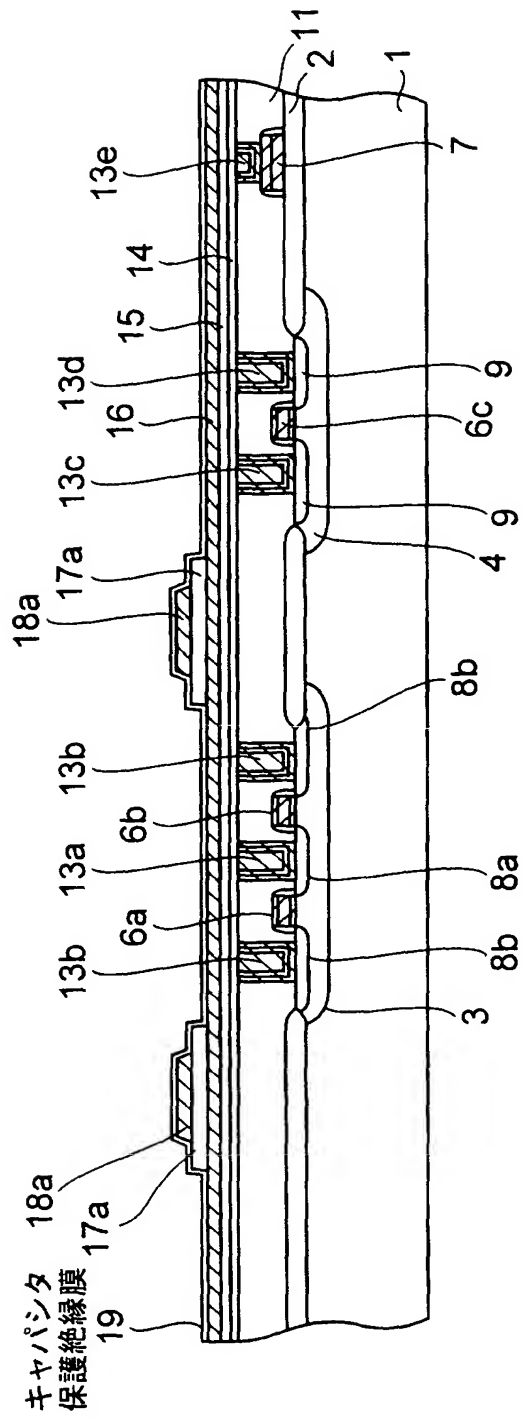
【図3】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その3）



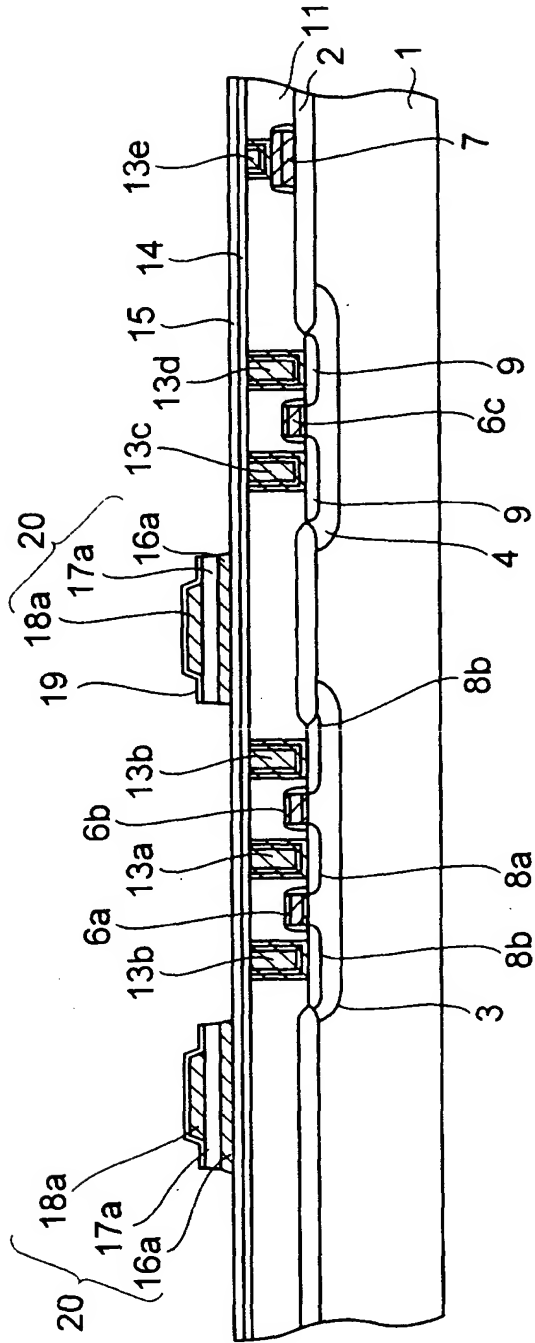
【図 4】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その4）



【図 5】

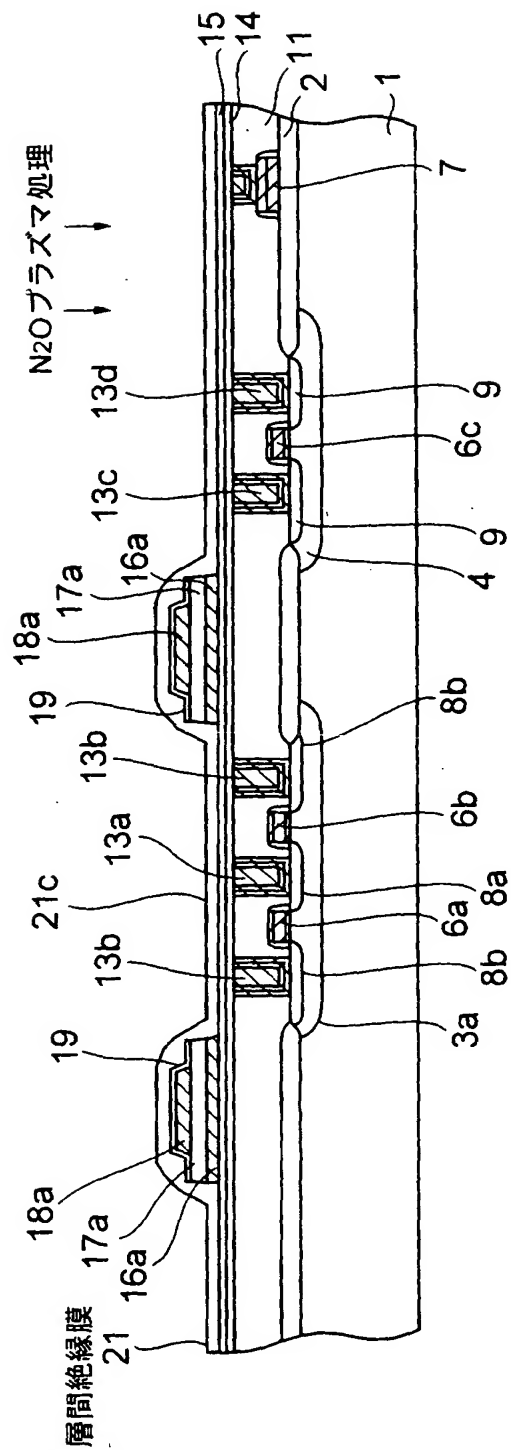
本発明の第1実施形態に係る半導体装置の形成の工程断面図（その5）





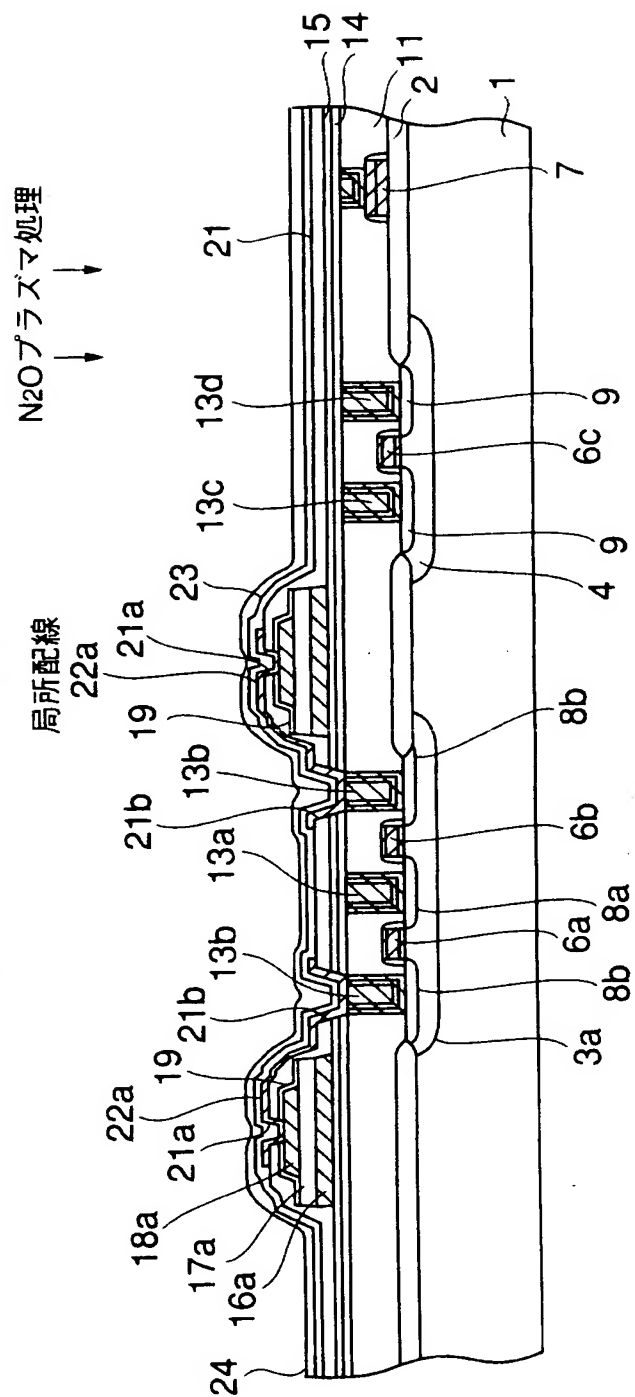
【図6】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その6）



【圖 7】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その7）

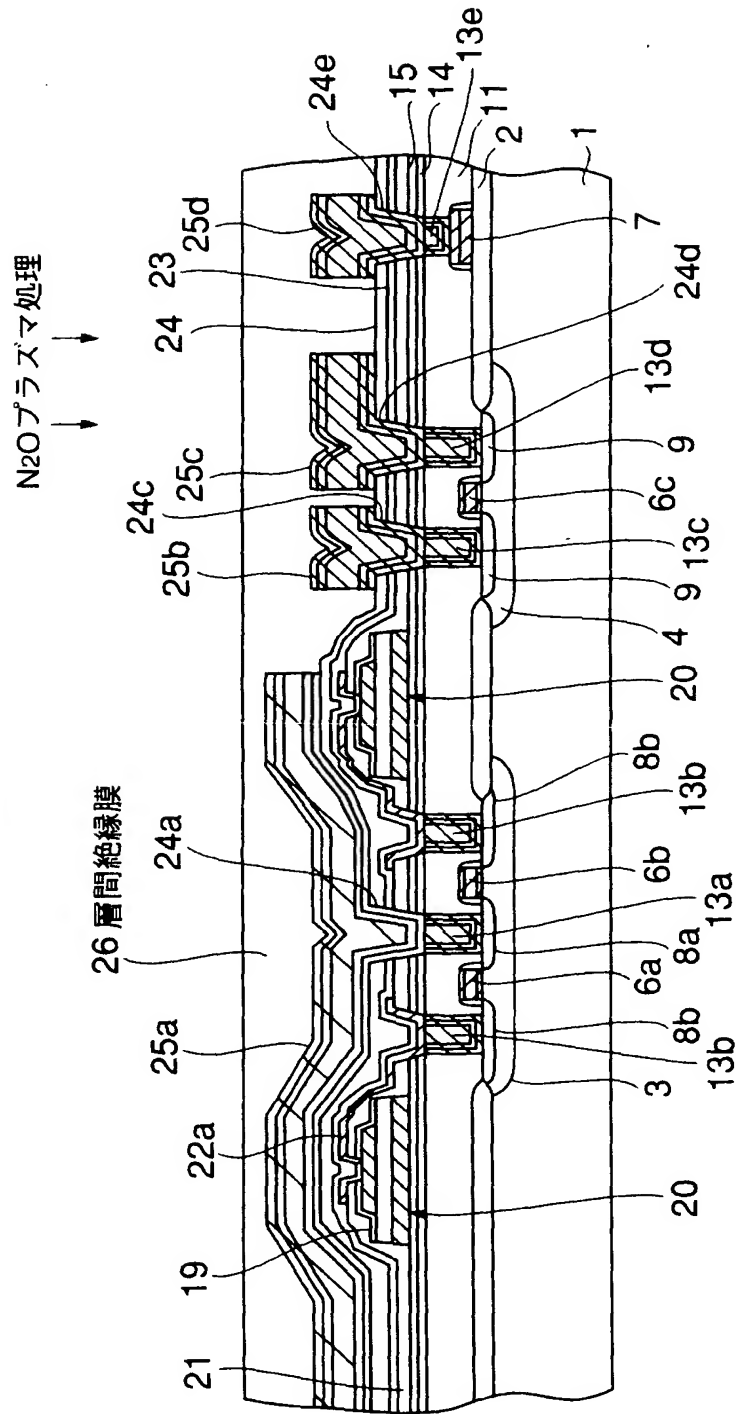


23: キヤパシタ保護絶縁膜

24: 層間絶縁膜

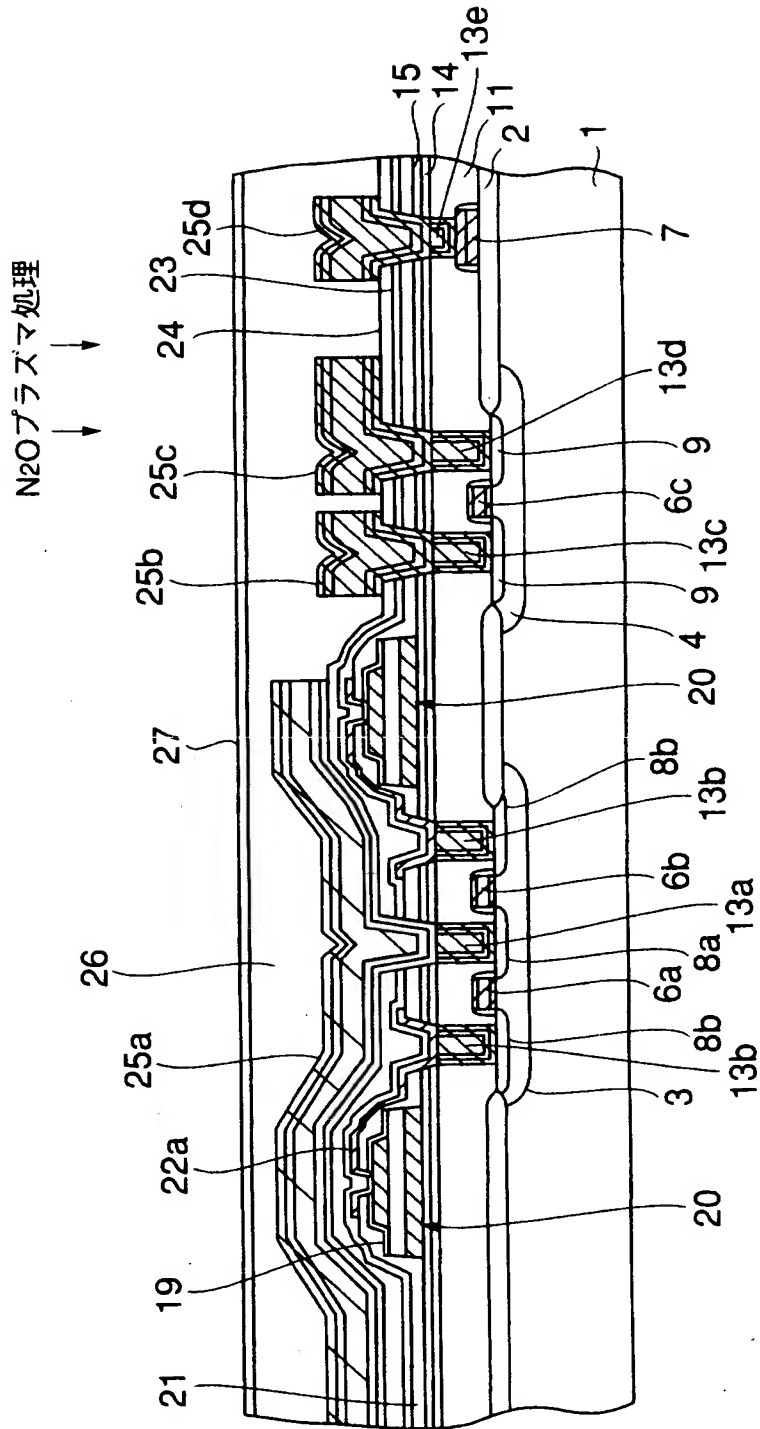
【図 8】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その8）



【図9】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その9）

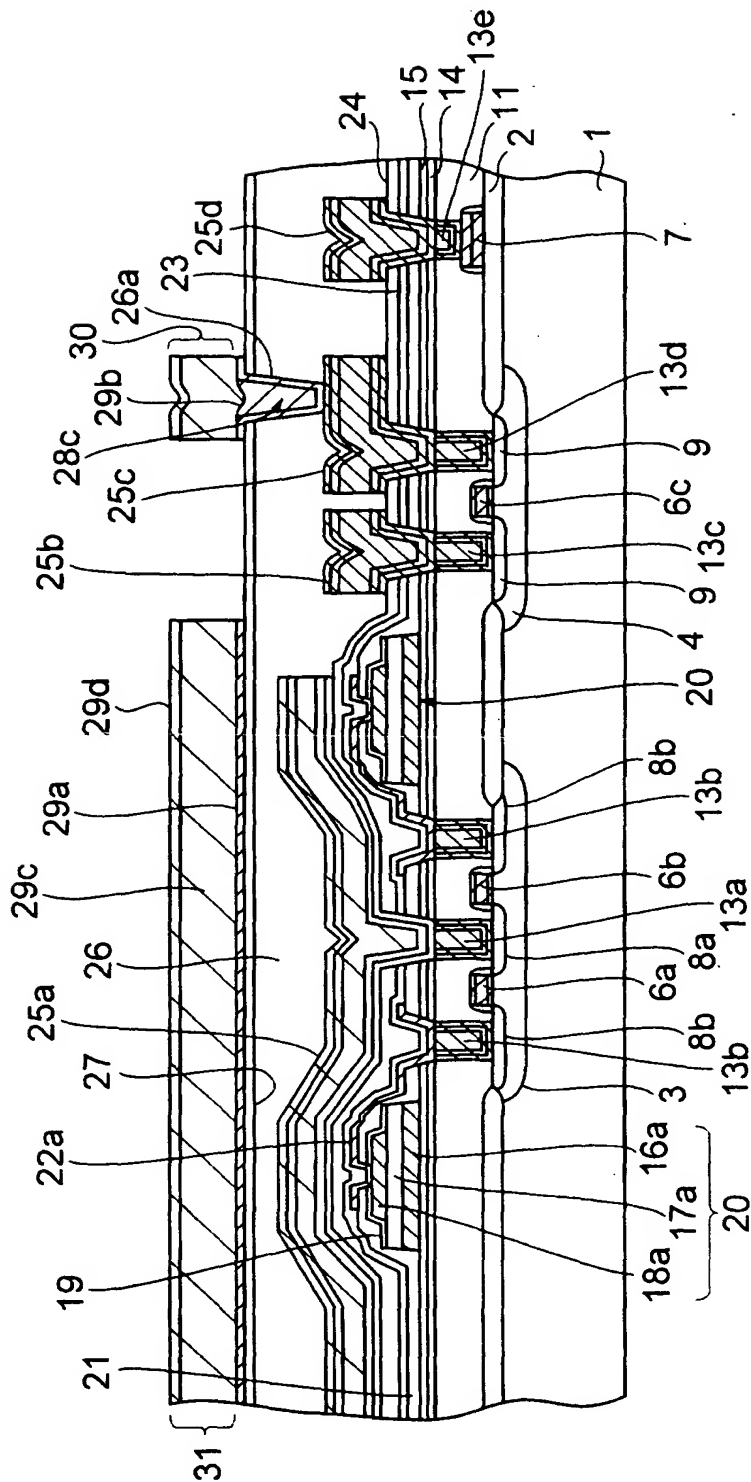


【図10】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その10）

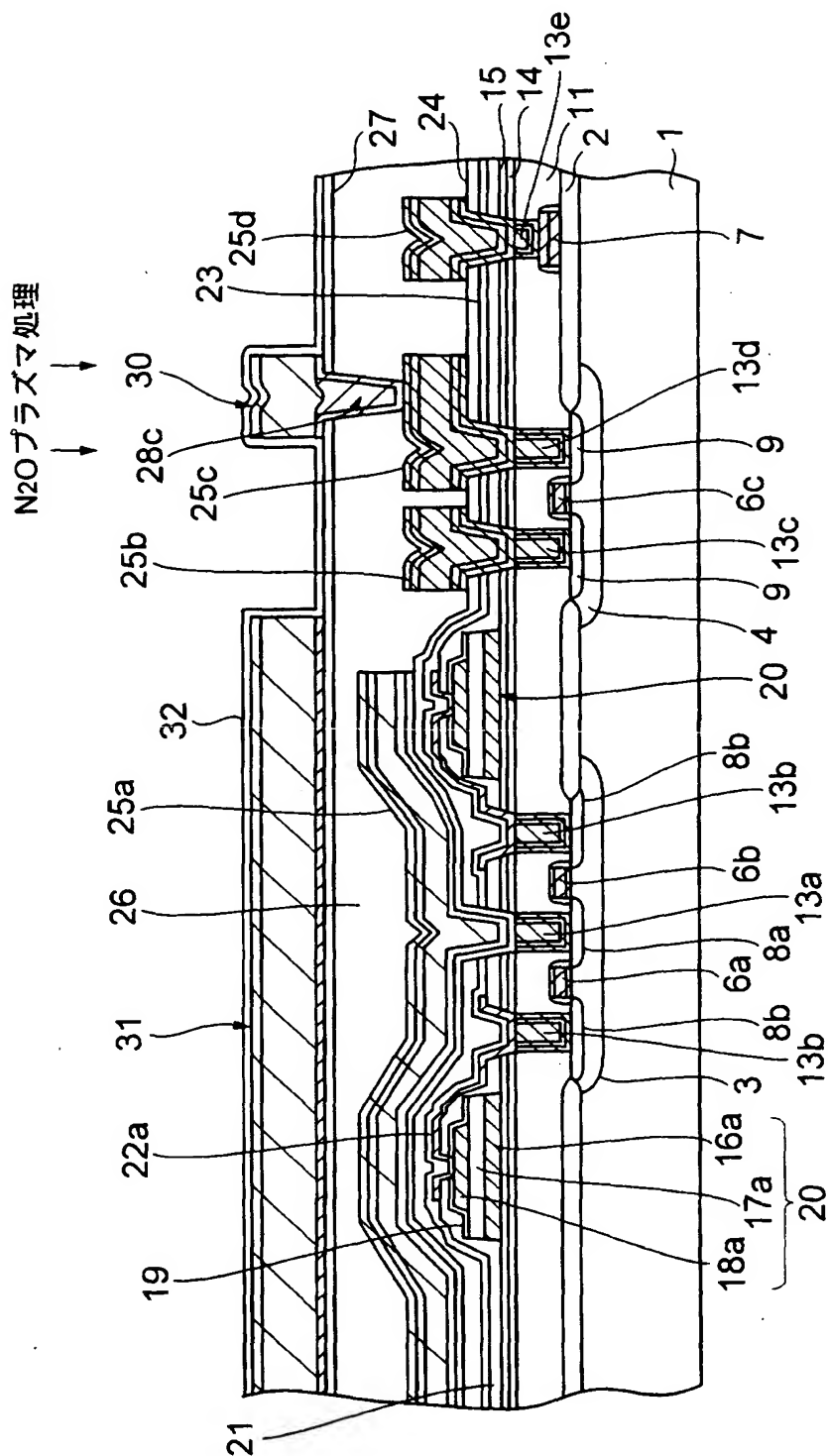
30: 配線

31: 金属パターン



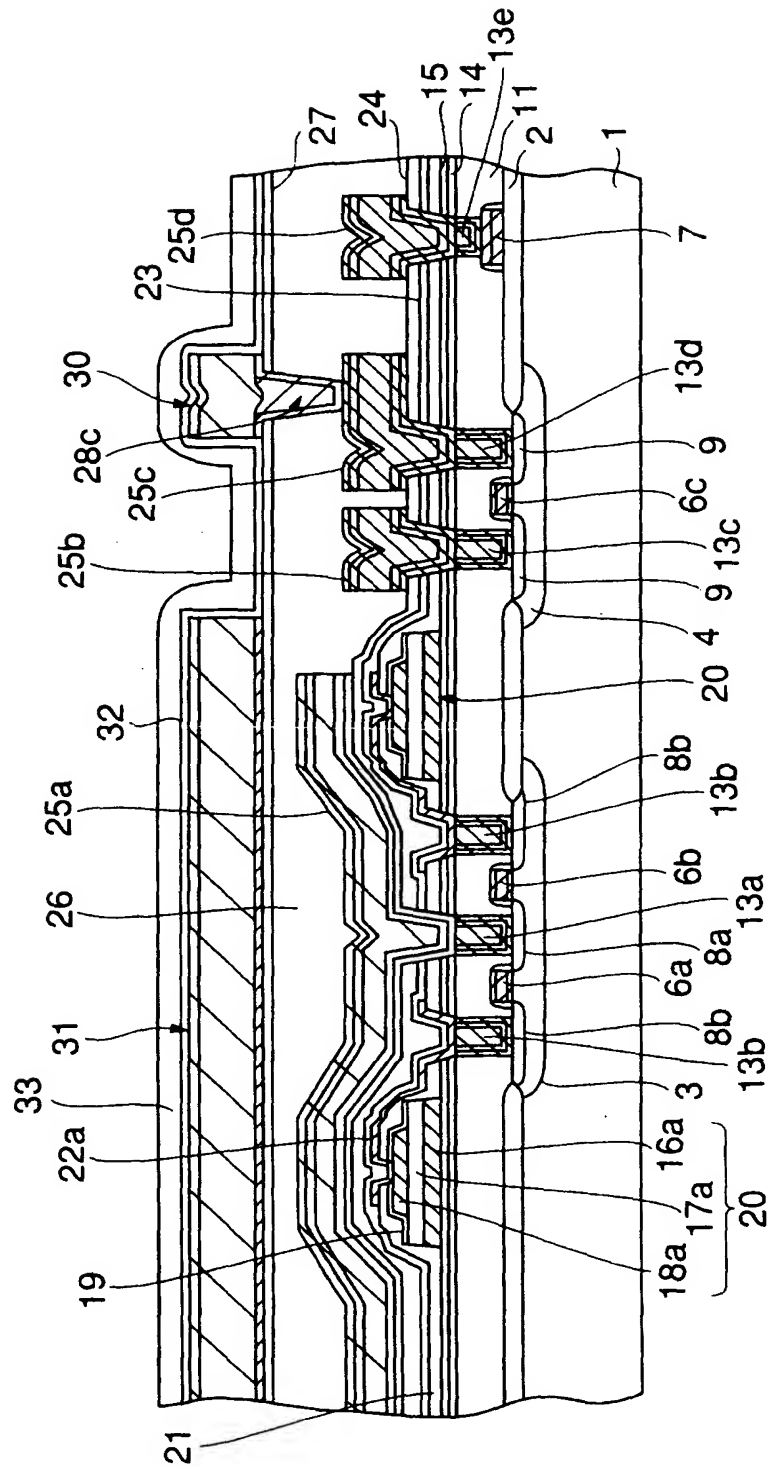
【図11】

本発明の第1実施形態に係る半導体装置の形成の工程断面図（その11）



【図 12】

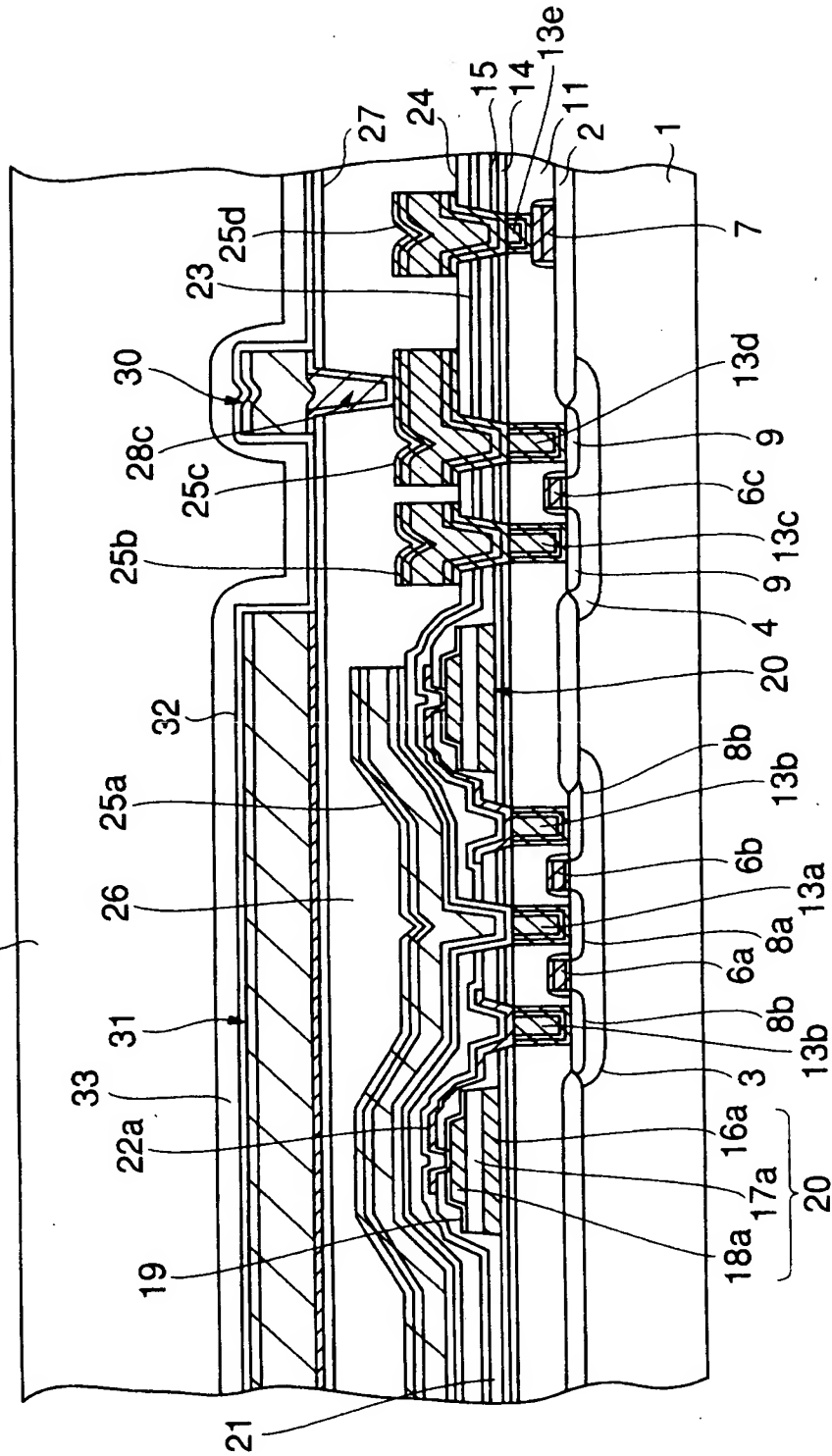
本発明の第1実施形態に係る半導体装置の形成の工程断面図（その12）



【図 13】

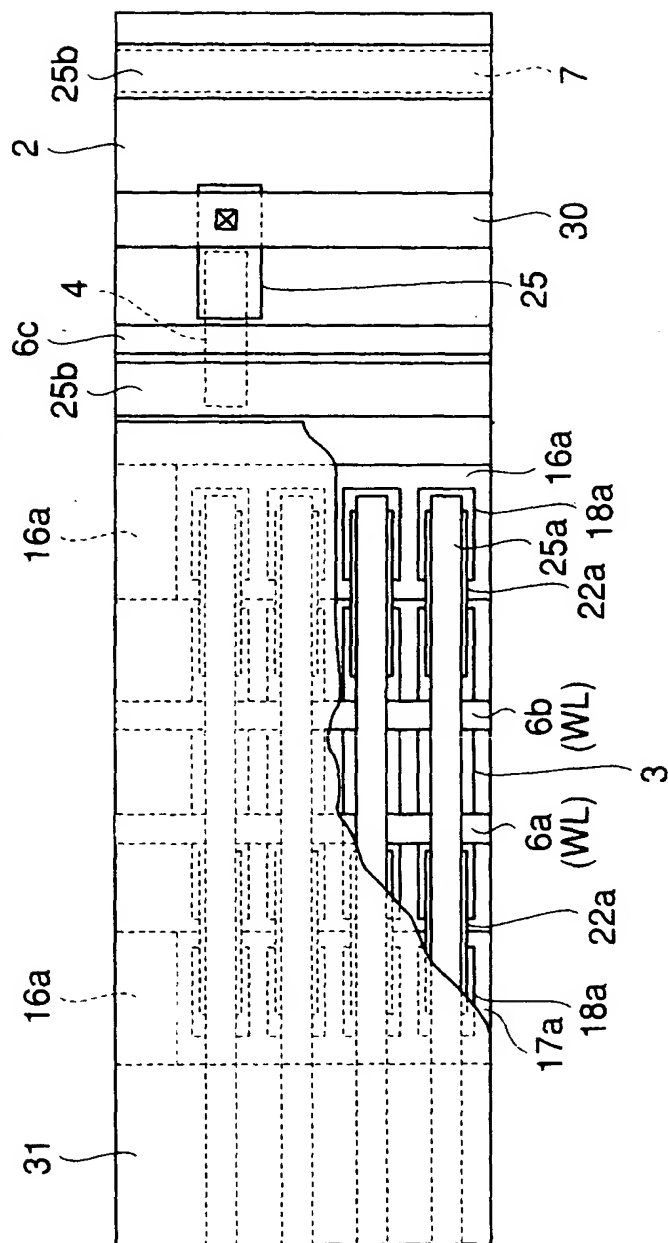
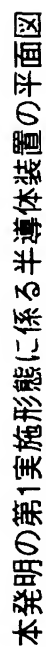
本発明の第1実施形態に係る半導体装置の形成の工程断面図（その13）

34 ポリイミド樹脂



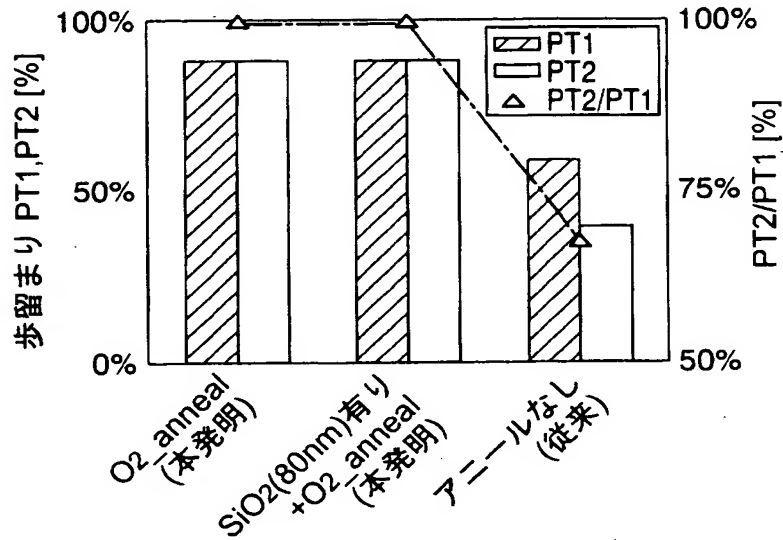


【図 14】



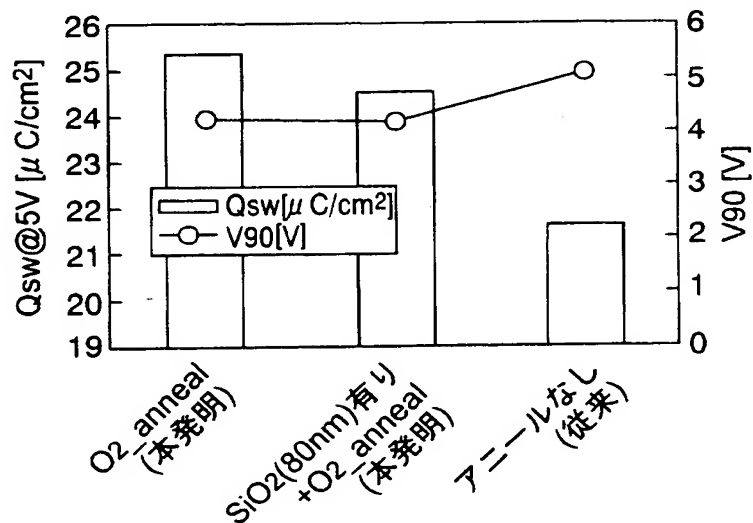
【図 15】

本発明の第1実施形態に係るFeRAMの歩留まり  
と従来技術により形成されたFeRAMの歩留まり



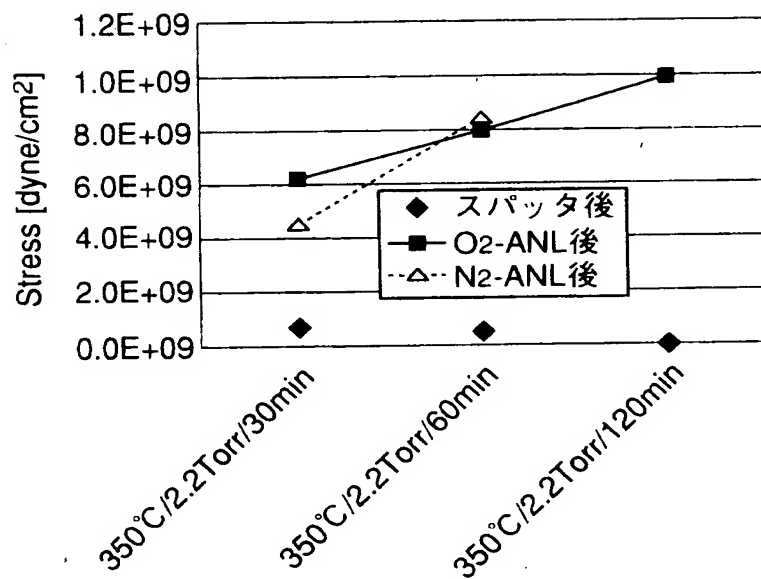
【図 16】

本発明の第1実施形態に係るFeRAM内の強誘電体キャパシタの特性  
と従来技術により形成されたFeRAM内の強誘電体キャパシタの特性



【図 1 7】

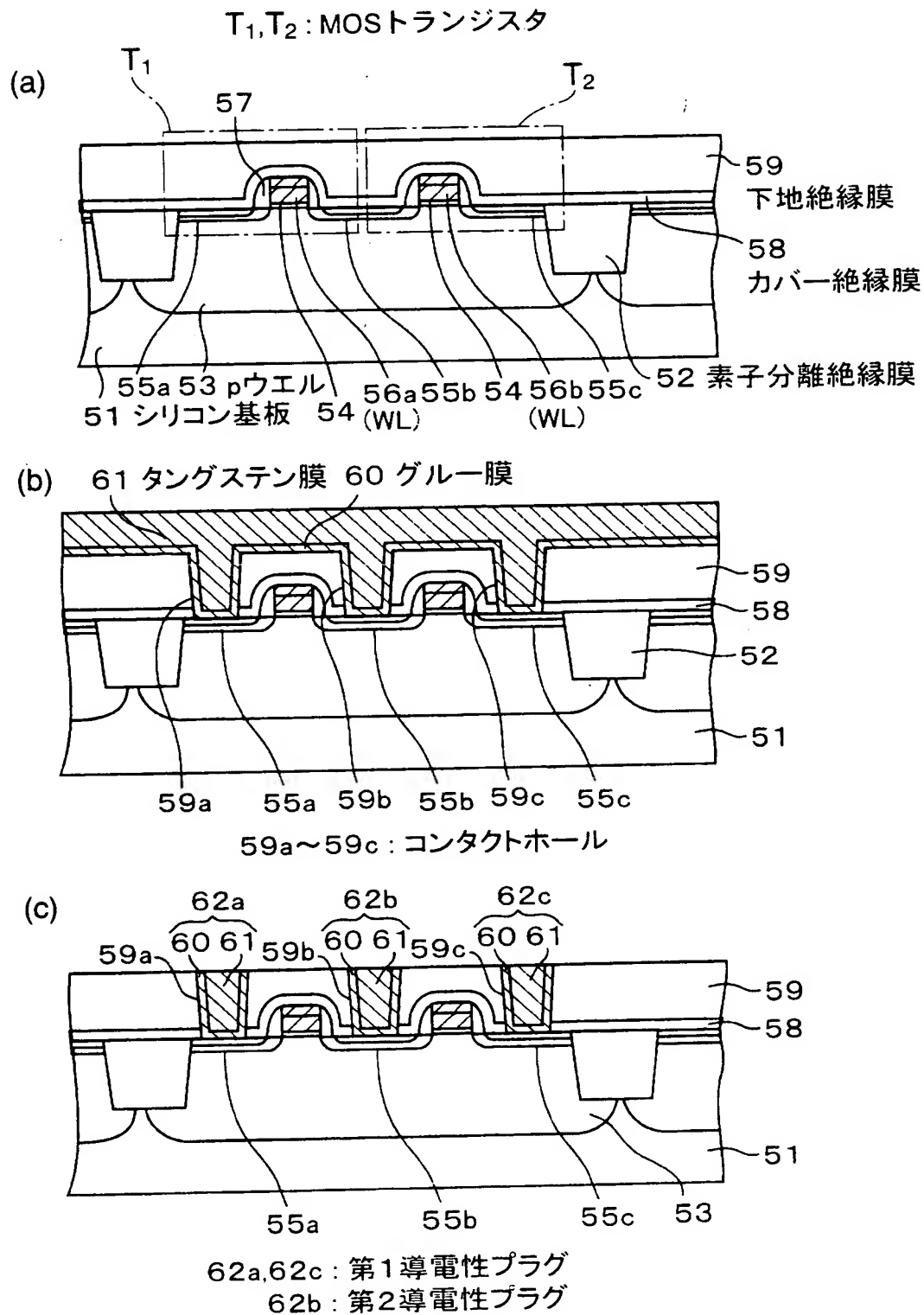
金属膜アニールによるストレスの変化



Sample構造 ; TiN100nm/Al-Cu500nm/SiO<sub>2</sub>(100nm)/Si

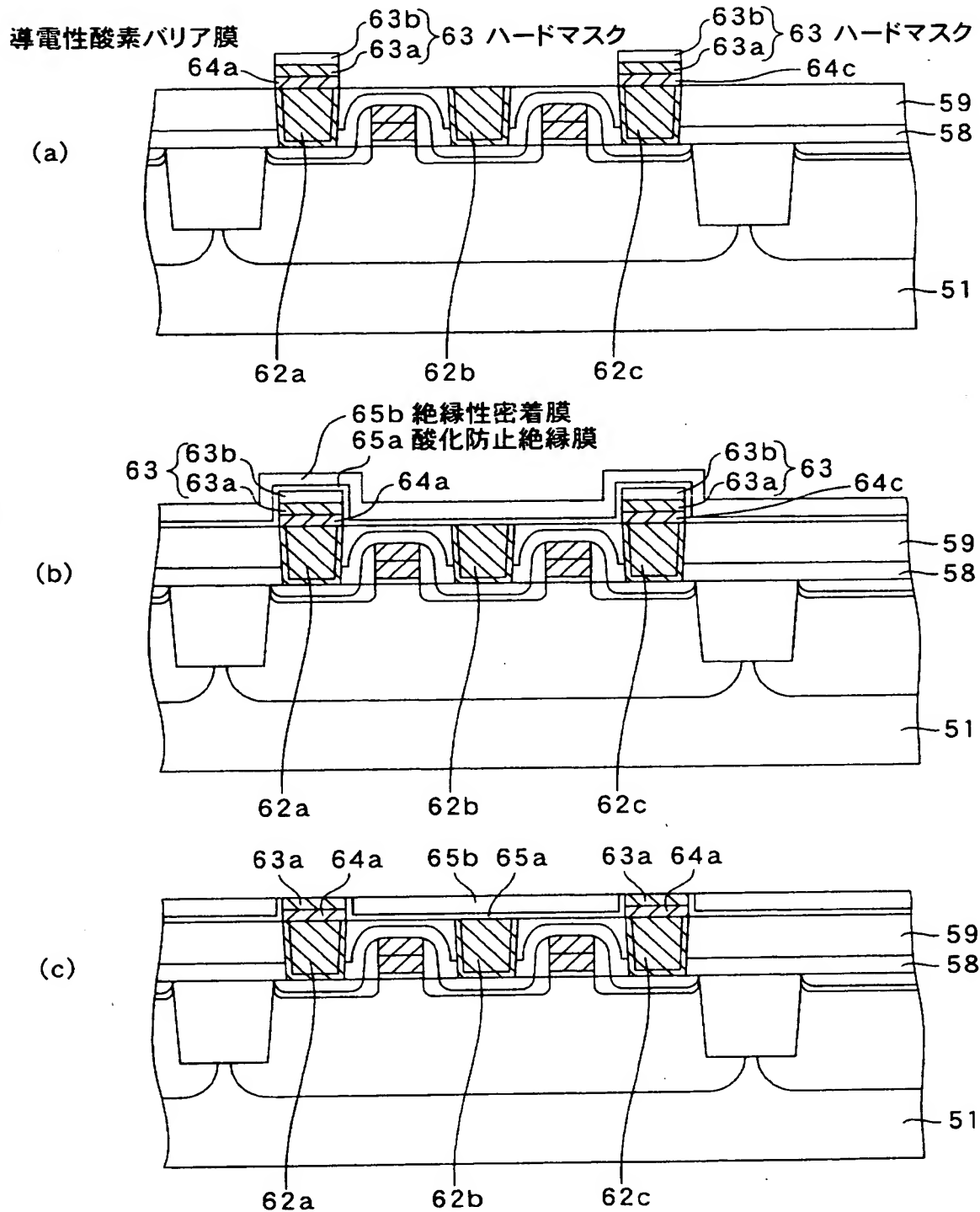
【図 1 8】

本発明の実施の形態に係る半導体装置の  
形成方法について示す断面図（その1）



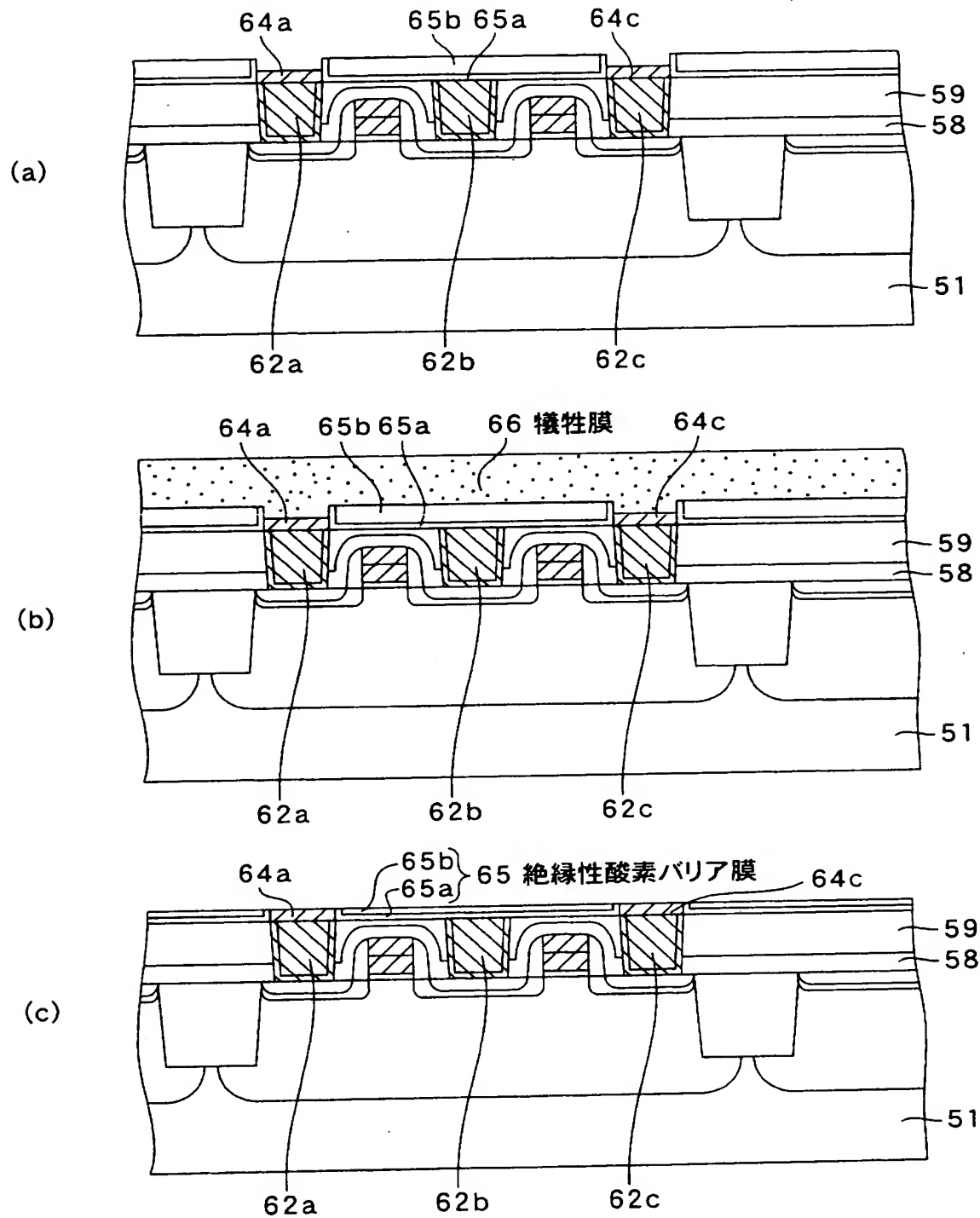
【図19】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その2)



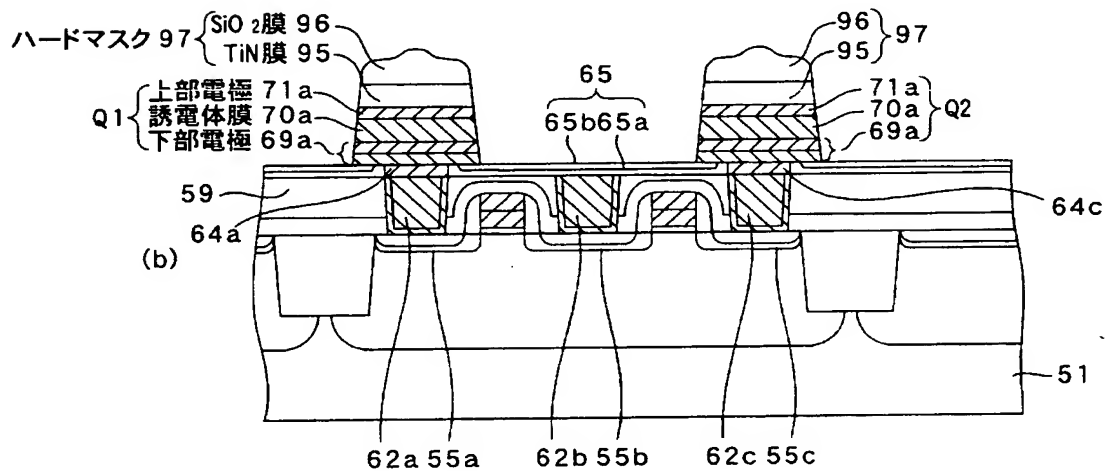
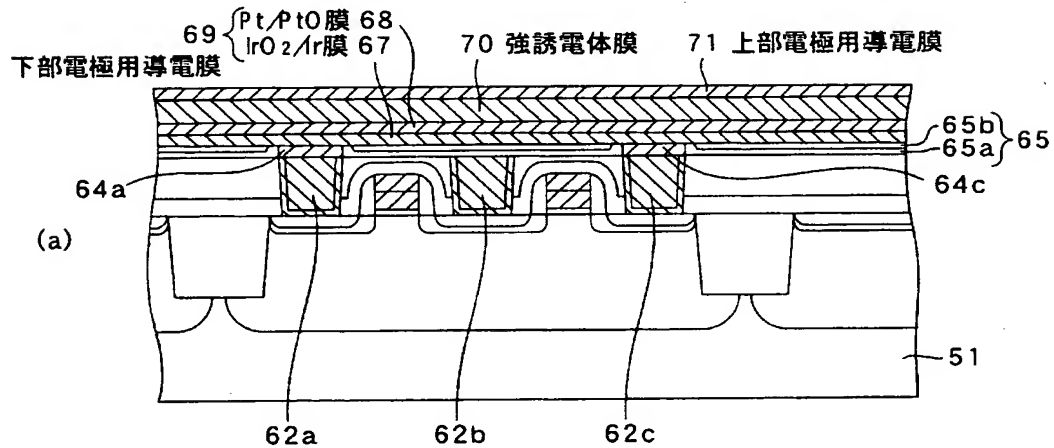
【図20】

本発明の第2実施の形態に係る半導体装置  
の形成方法について示す断面図(その3)



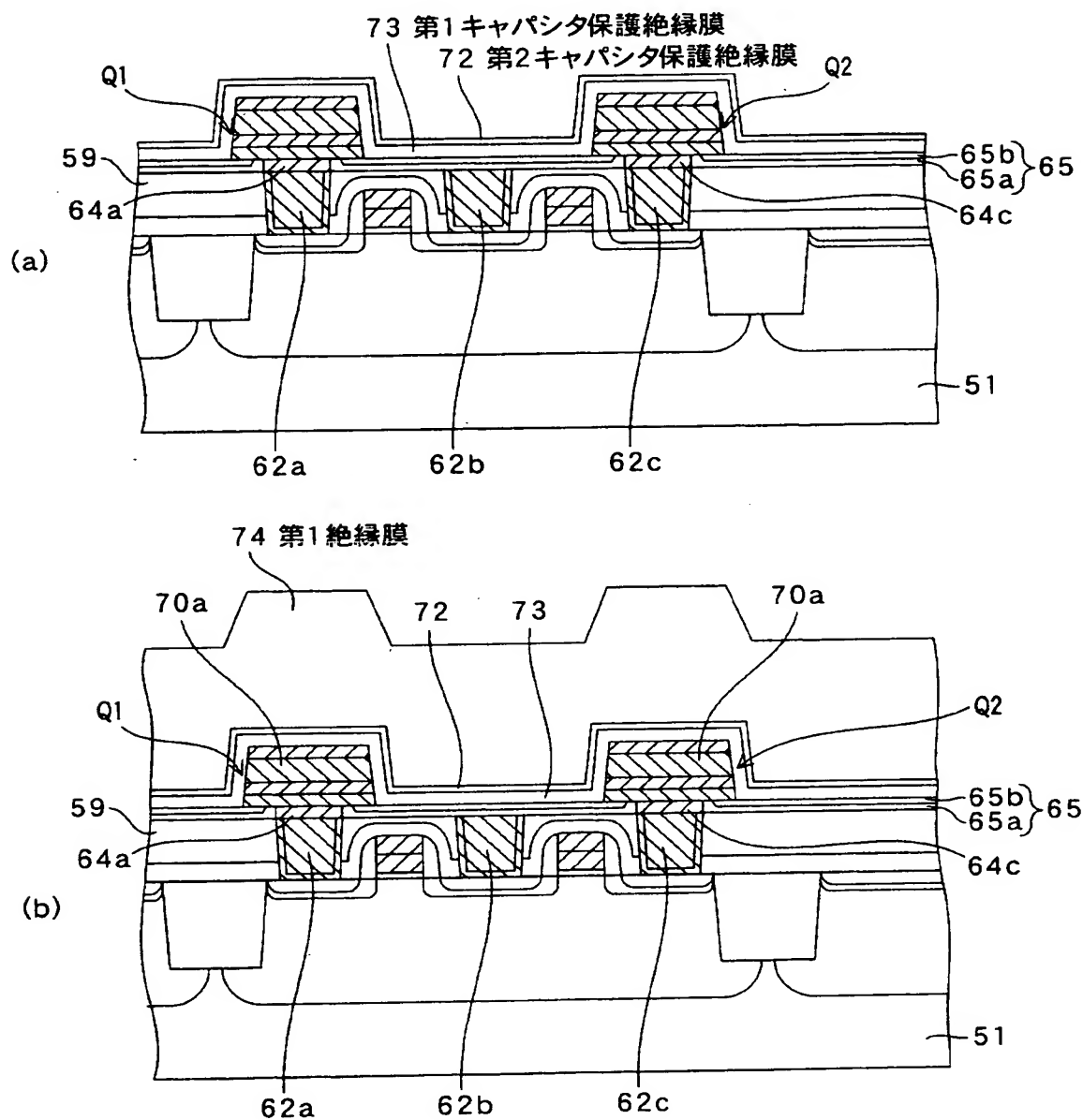
【図 21】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その4)



【図 2 2】

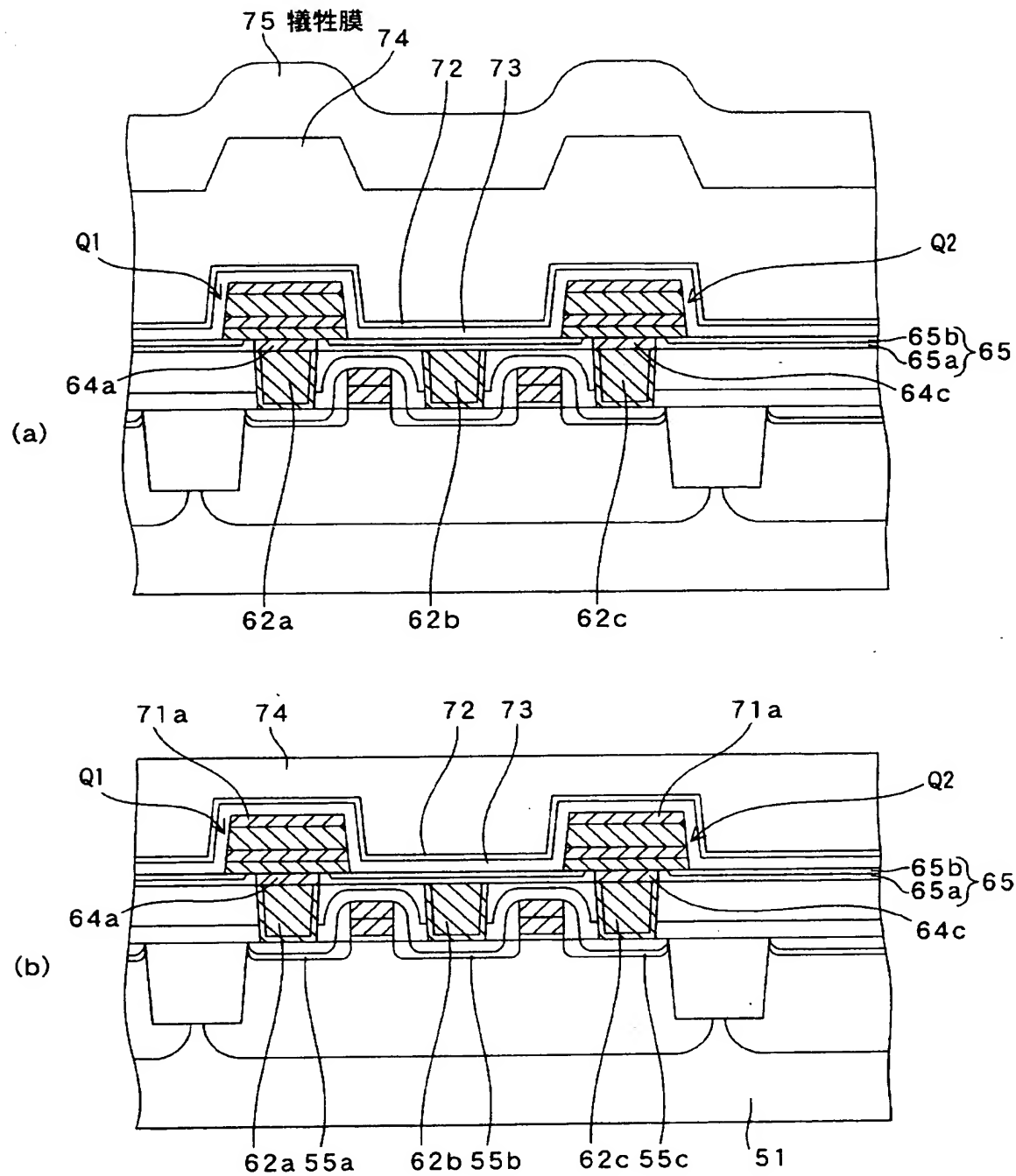
本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その5)





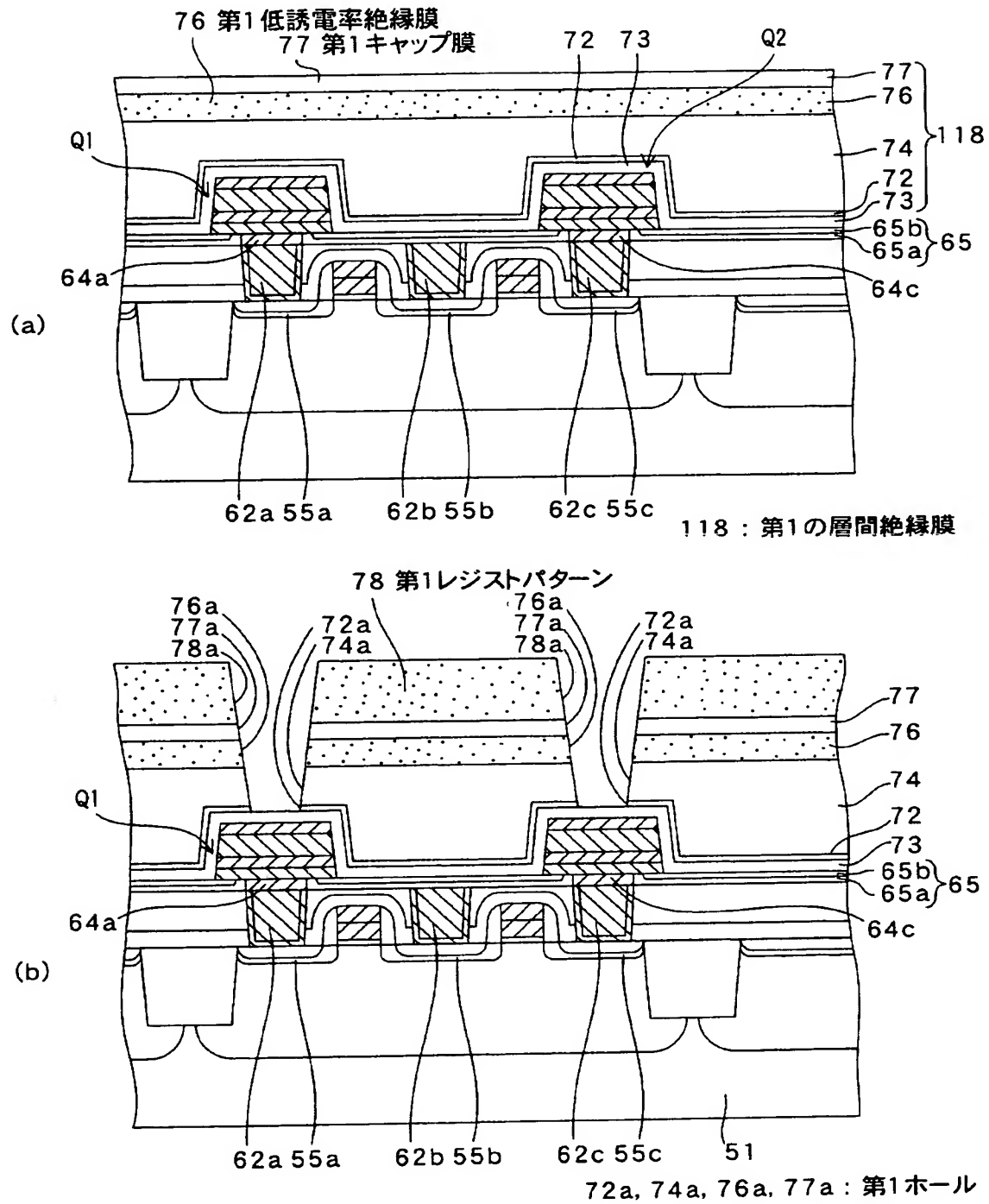
【図 23】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その6)



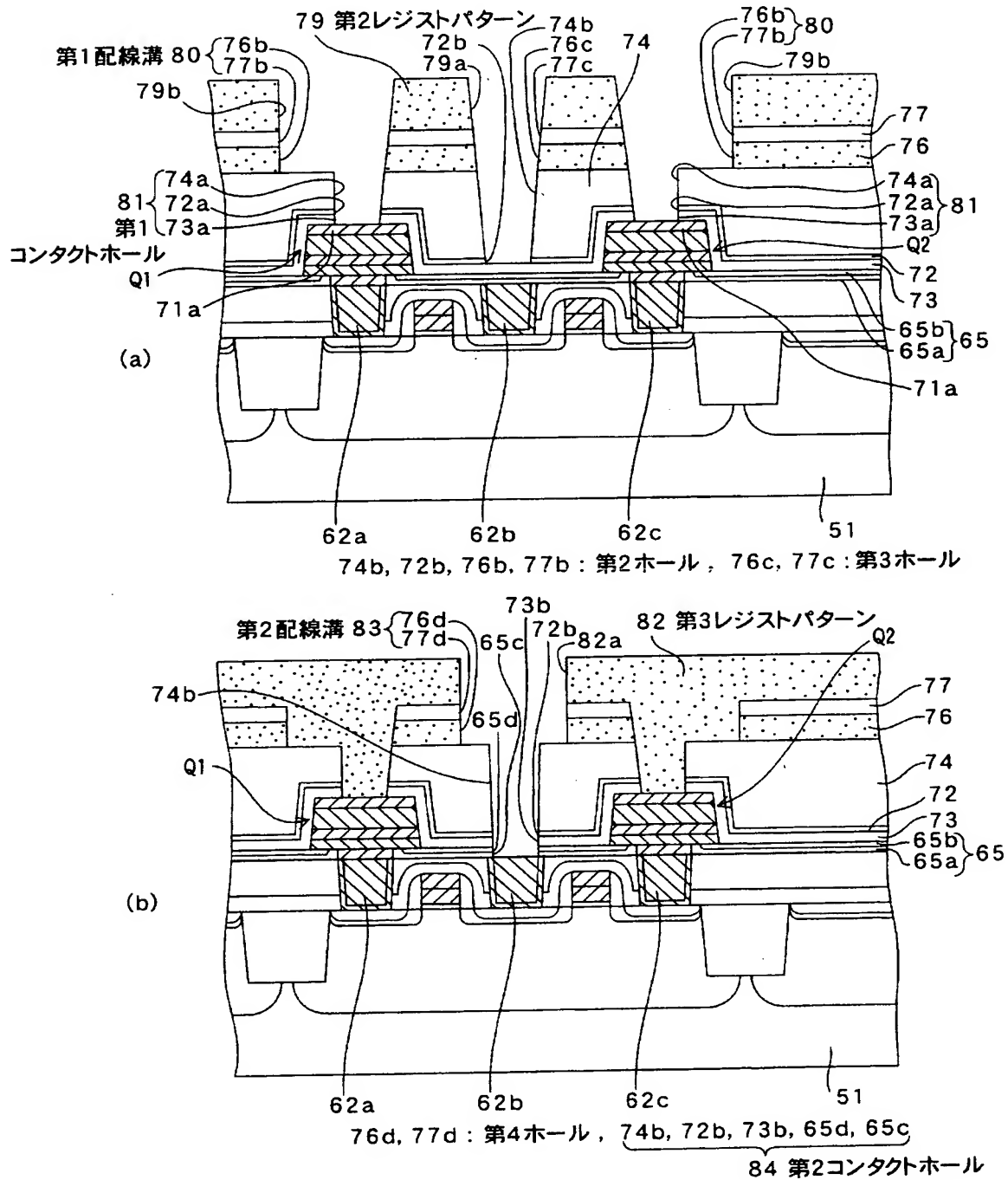
【図 24】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その7)



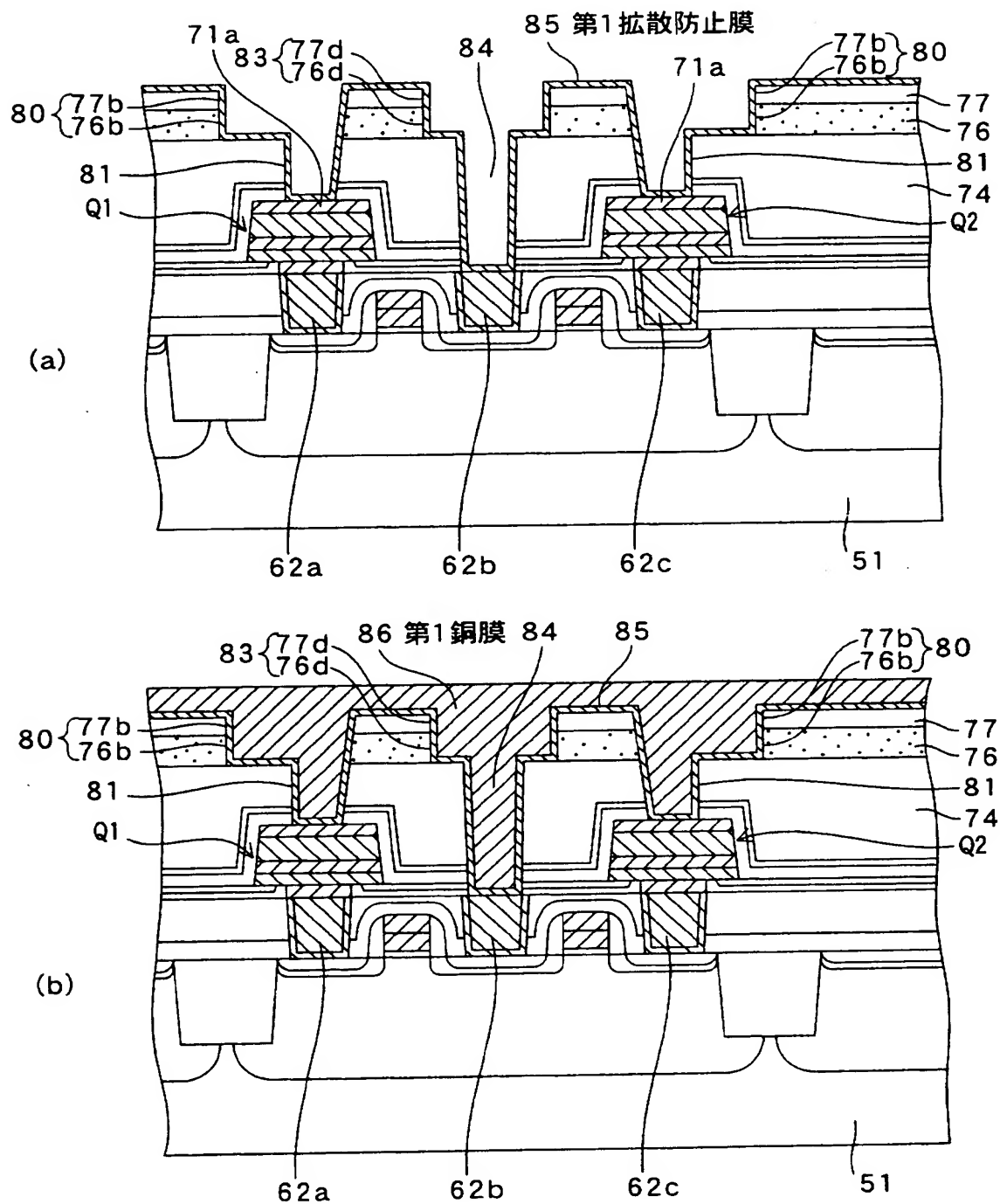
【図 25】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その8)



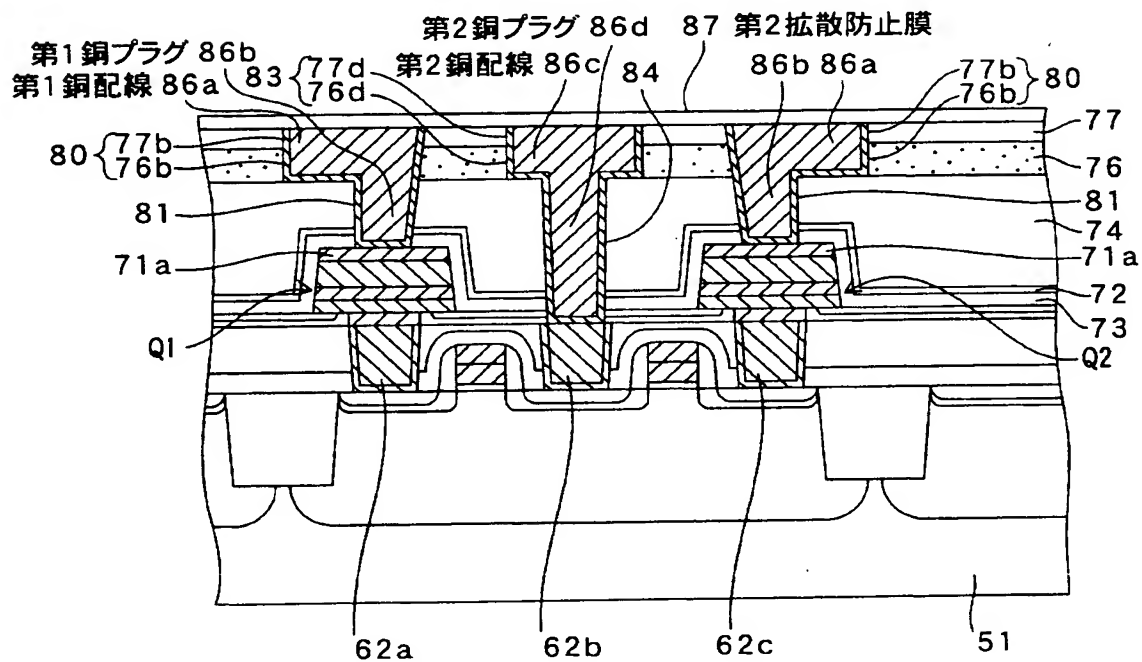
【図 26】

本発明の第2の実施の形態に係る半導体装置の形成方法について示す断面図(その9)



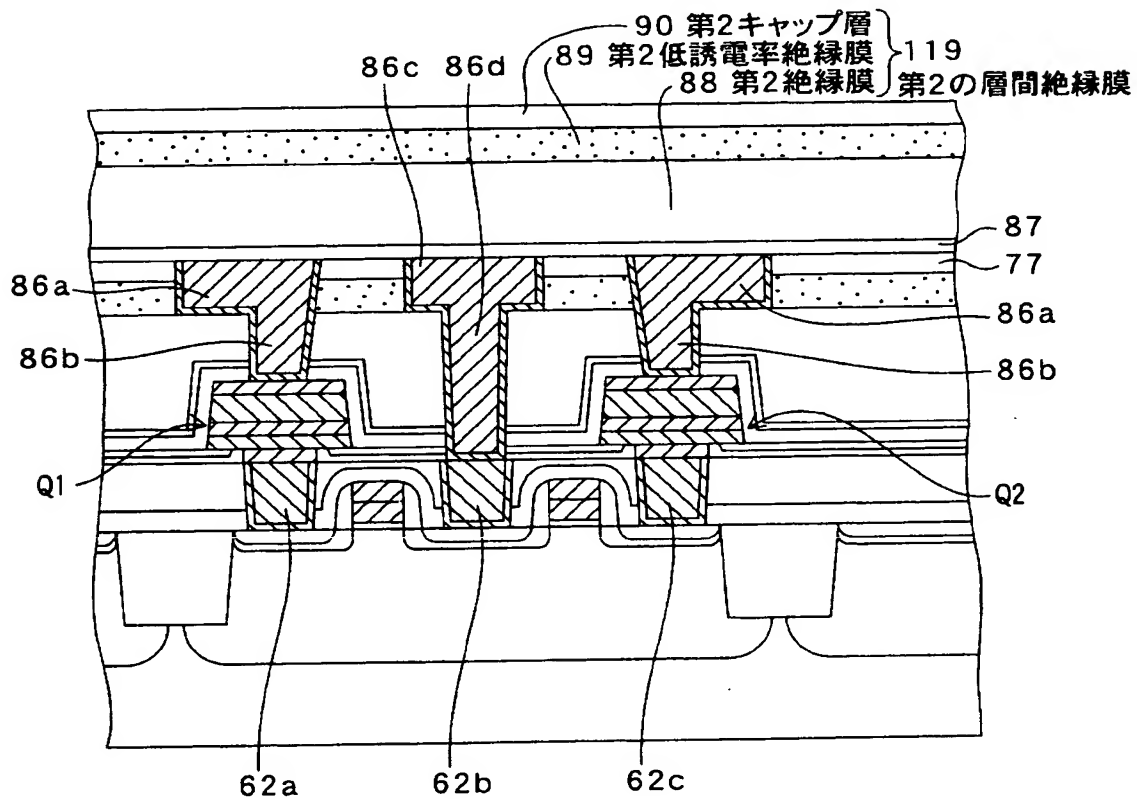
【図 27】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その10)



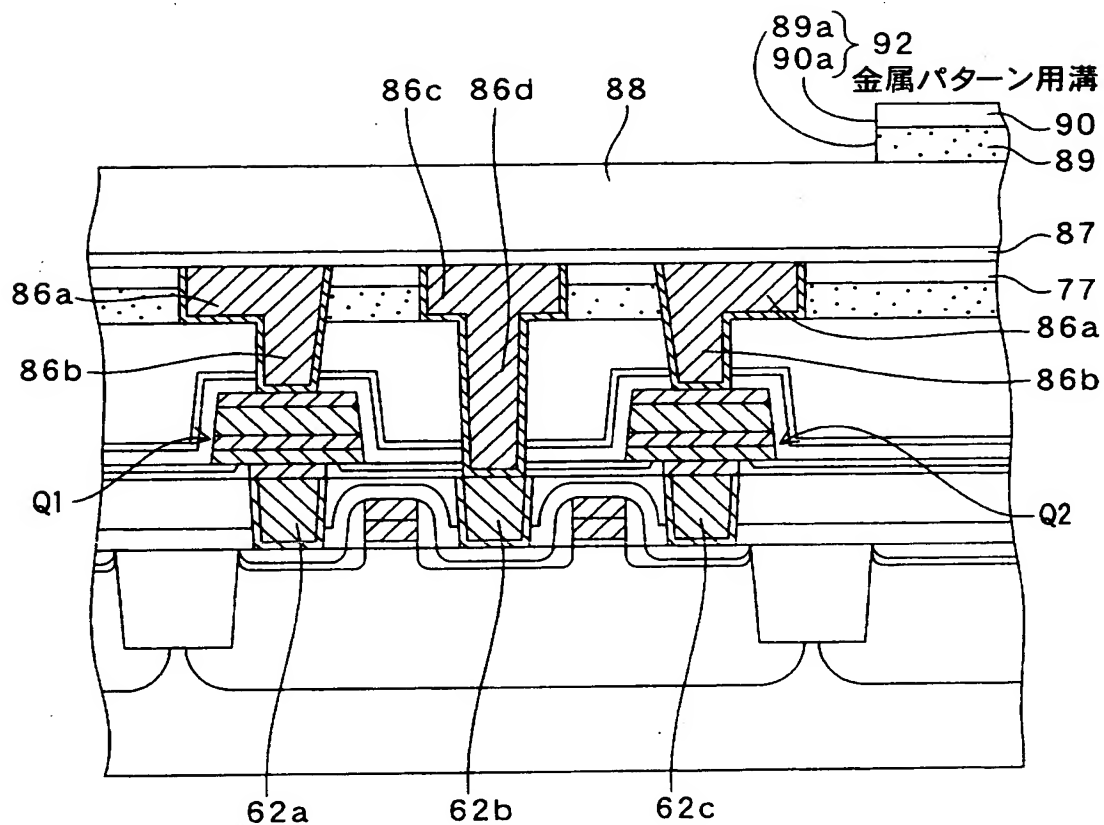
【図 28】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その11)



【図 29】

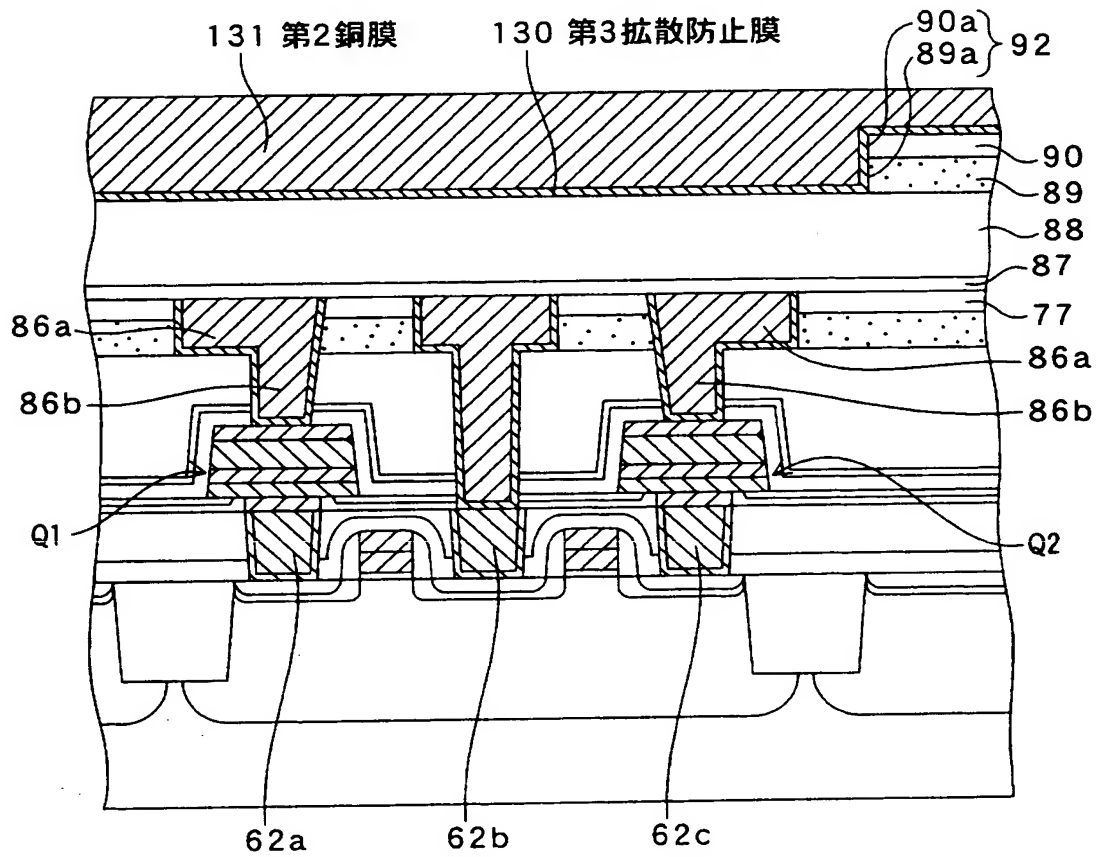
本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その12)



89a, 90a : 第1ホール

【図30】

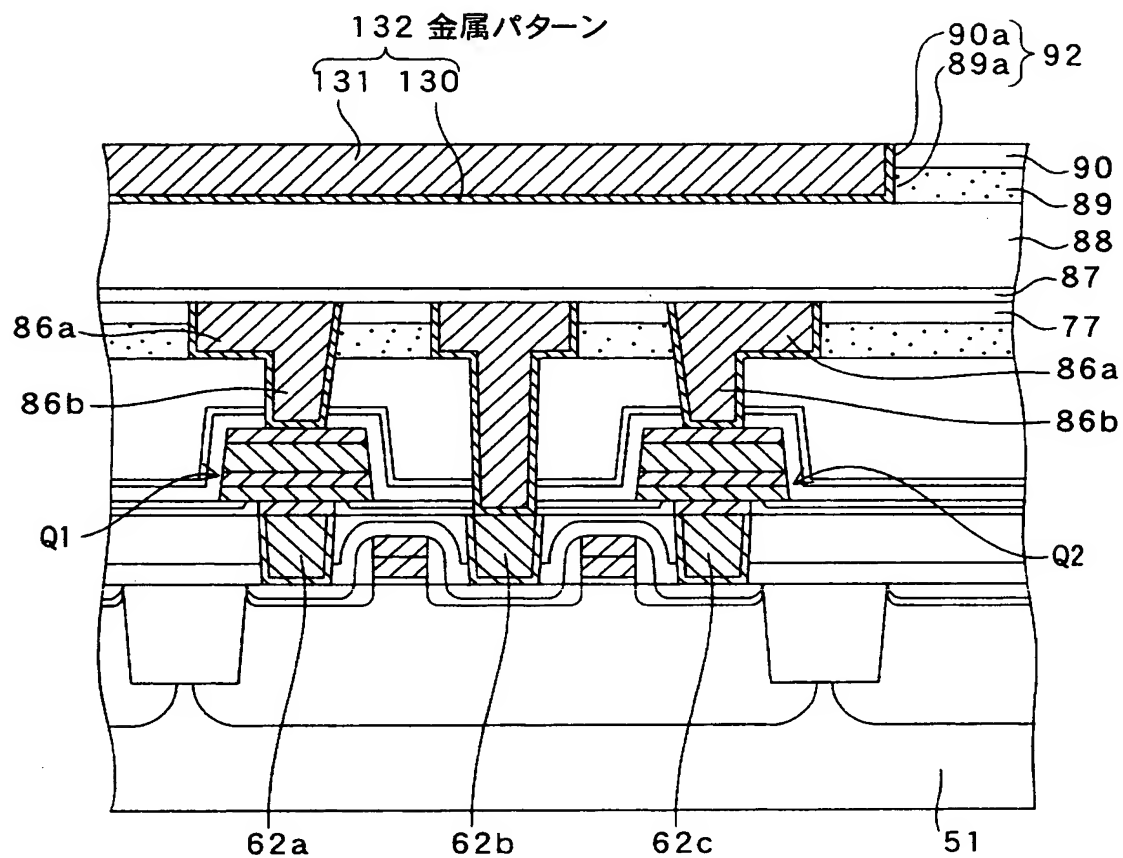
本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その13)





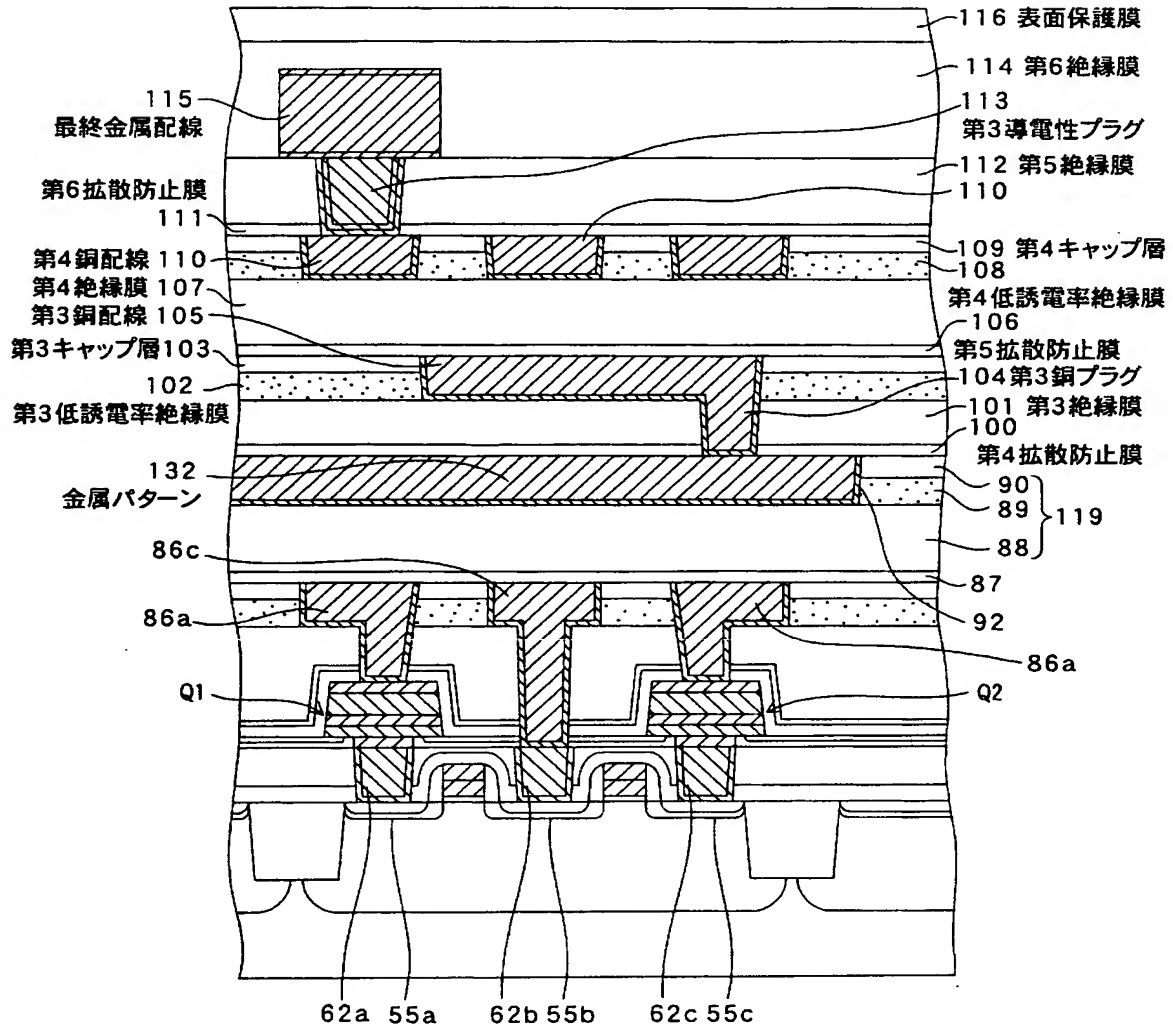
【図 31】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その14)



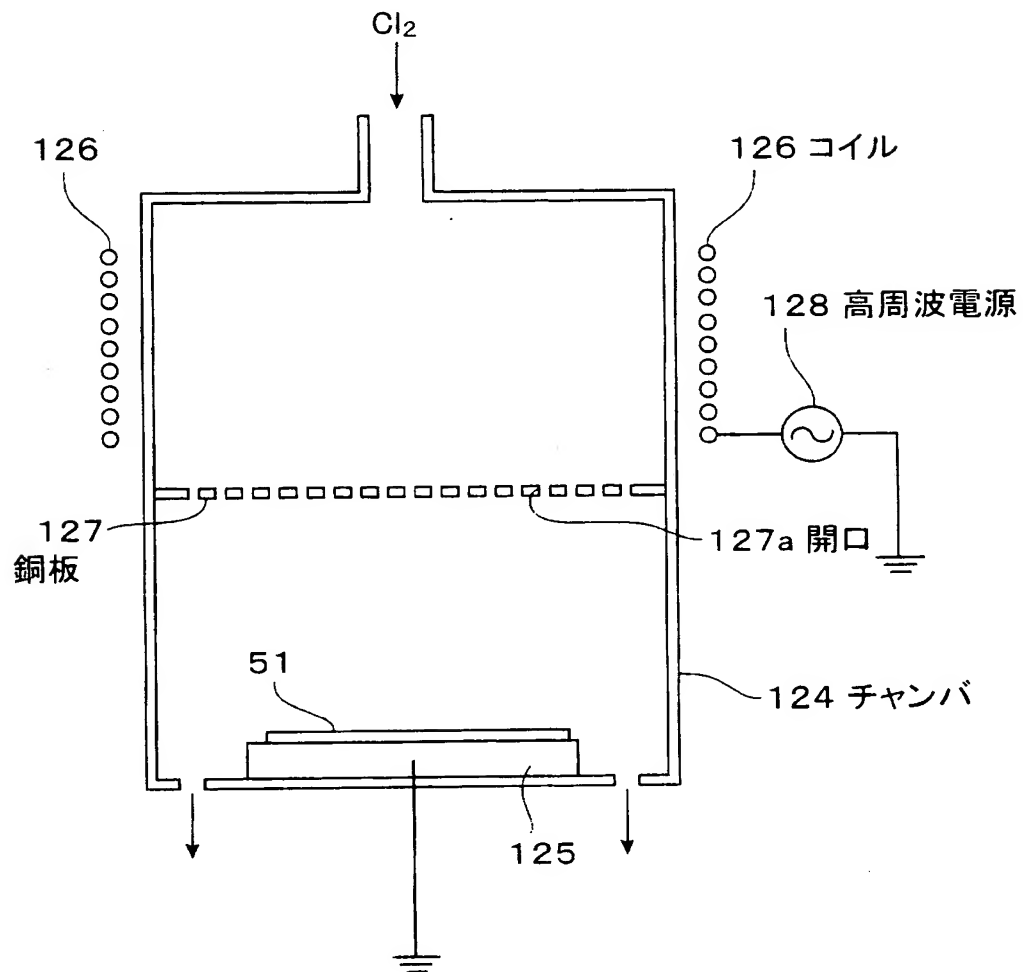
【図 3 2】

本発明の第2の実施の形態に係る半導体装置の  
形成方法について示す断面図(その15)



【図 3 3】

本発明の第2実施形態に係る半導体装置の形成工程  
に使用される銅膜形成装置の構成図



【書類名】 要約書

【要約】

【課題】 層間絶縁膜に覆われるキャパシタの特性を良好にすることができる半導体装置及びその製造方法を提供すること。

【解決手段】 シリコン基板（半導体基板）１の上方に形成された第１の層間絶縁膜（第１絶縁膜）と、第１の層間絶縁膜１１上に形成され且つ下部電極１６a、誘電体膜１７a及び上部電極１８aを有するキャパシタ２０と、キャパシタ２０及び第１層間絶縁膜１１の上方に形成された第４の層間絶縁膜（第２絶縁膜）２６と、キャパシタ２０及びその周辺の上方であって第４の層間絶縁膜２６の上に形成され且つ第４の層間絶縁膜２６とは逆の方向の応力を有する金属パターン３１とを有することを特徴とする半導体装置による。

【選択図】 図１３

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社